

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-013523

(43)Date of publication of application : 19.01.2001

(51)Int.Cl.

G02F 1/1365

G02F 1/1333

G02F 1/1343

H01L 29/786

H01L 21/336

(21)Application number : 11-186710

(71)Applicant : NEC CORP

(22)Date of filing : 30.06.1999

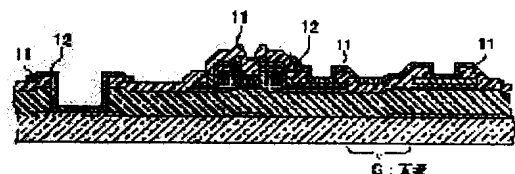
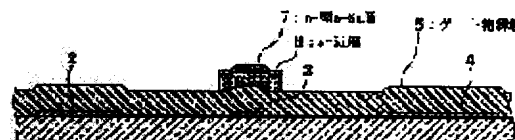
(72)Inventor : IHARA HIROSHI
KANEKO WAKAHIKO
IIDA TAKAYASU

(54) LIQUID CRYSTAL DISPLAY DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To impart a storage capacitance element having a structure which secures a necessary capacitance value without reducing an aperture ratio of a pixel and which prevents short circuit to the liquid crystal display device.

SOLUTION: A conductive layer MT1 is deposited on a surface of a glass electrode. A terminal pattern 2, a gate electrode pattern 3 and a gate bus line pattern 4 are formed and a gate insulation layer 5 is formed on their surfaces. An a-Si layer 6 and an n⁺ type a-Si layer 7 of the thin film transistor are successively laminated on the surface of the gate insulation layer 5 and patterns of a-Si layers 6, 7 are formed thereon. Metal layers are successively deposited on the surfaces of the n⁺ type a-Si layer 7 and the gate insulation layer 5 to form patterns of a drain electrode, a source electrode and an auxiliary electrode. Protective insulation layers 11 are deposited on the surfaces of the drain electrode, the source electrode and the auxiliary electrode and the surface of the gate insulation layer 5. Contact holes are formed on specified positions. Subsequently a conductive layer 12 and wiring pattern which connects specified electrodes among themselves are formed.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-13523
(P2001-13523A)

(43) 公開日 平成13年1月19日 (2001.1.19)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)	
G 0 2 F 1/1365	5 0 5	G 0 2 F 1/136	5 0 0	2 H 0 9 0
1/1333		1/1333	5 0 5	2 H 0 9 2
1/1343		1/1343		5 F 1 1 0
H 0 1 L 29/786		H 0 1 L 29/78	6 1 2 Z	
21/336				
審査請求 有 請求項の数13 O L (全 23 頁)				

(21) 出願番号 特願平11-186710

(22) 出願日 平成11年6月30日 (1999.6.30)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 井原 浩史

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 金子 若彦

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100108578

弁理士 高橋 詔男 (外3名)

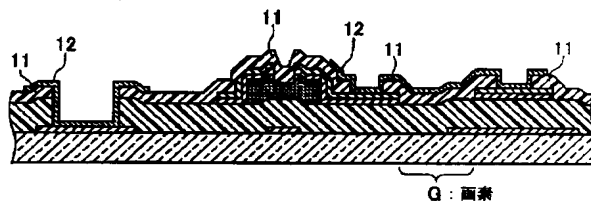
最終頁に続く

(54) 【発明の名称】 液晶表示装置及びその製造方法

(57) 【要約】

【課題】 画素の開口率を減少させず、必要な容量値を確保し、又短絡を防止する構造の蓄積容量素子を有する液晶表示装置及びその製造方法の提供。

【解決手段】 ガラス基板1の表面に導電層MT1を堆積させ、端子パターン2、ゲート電極パターン3、ゲートバスラインパターン4が形成され、それらの表面にゲート絶縁膜5が形成される。ゲート絶縁膜5表面に、薄膜トランジスタのa-Si層6、n+型a-Si層7を順次積層させ、a-Si層6、7のパターンが形成される。n+型a-Si層7の表面及びゲート絶縁膜5の表面に、金属層MM1、MM2が順次堆積され、ドレイン電極PD1、ソース電極PS1、補助電極PH1のパターンが形成される。保護絶縁膜11が、ドレイン電極PD1、ソース電極PS1、補助電極PH1の表面と、ゲート絶縁膜5の表面とに堆積され、所定の位置にコンタクトホールCTが形成される。次に、導電層12が形成され、所定の電極同士を接続する配線パターンが形成される。



【特許請求の範囲】

【請求項1】 絶縁性の基板の表面にマトリクス状に形成された複数のデータ線及びデータ選択線と、このデータ線とデータ選択線との交点毎に形成されたトランジスタと、このトランジスタを介して前記データ線に接続された画素電極と、前記トランジスタを介して前記データ線に接続された蓄積容量素子とを具備し、前記蓄積容量素子が、少なくとも、前記基板の表面に導電性材料により形成された第1の電極と、この第1の電極の表面に形成された第1の絶縁膜と、この絶縁膜の表面に、第1の金属材料で堆積された第1の導電層と、第2の金属材料で堆積された第2の導電層とが、同一形状に加工され、重ね合わされて形成された第2の電極とから形成され、前記第1の電極の上方の重なる位置において、前記第2の電極が前記画素電極と接続されていることを特徴とする液晶表示装置。

【請求項2】 絶縁性の基板の表面にマトリクス状に形成された複数のデータ線及びデータ選択線と、このデータ線とデータ選択線との交点毎に形成されたトランジスタと、このトランジスタを介して前記データ線に接続された画素電極と、前記トランジスタを介して前記データ線に接続された蓄積容量素子とを具備し、前記蓄積容量素子が、少なくとも、前記基板の表面に導電性材料により形成された第1の電極と、この第1の電極の表面に形成された第1の絶縁膜と、この絶縁膜の表面に、第1の金属材料で堆積された第1の導電層と、第2の金属材料で堆積された第2の導電層とが、異なった形状に加工され、重ね合わされて形成された第2の電極とから形成され、前記第1の電極の上方の重なる位置において、前記第2の電極が前記画素電極と接続されていることを特徴とする液晶表示装置。

【請求項3】 前記第2の電極と前記画素電極との間に介挿された第2の絶縁膜において、前記第2の電極と前記画素電極とを接続するコンタクトホールが、前記第1の導電層の上方の重なる位置に形成され、このコンタクトホールの周縁が前記第1の導電層の周縁の内側に所定の距離を有して形成されていることを特徴とする請求項2に記載の液晶表示装置。

【請求項4】 前記距離が前記第1の導電層及び前記コンタクトホールの製造工程における寸法余裕により決定される値であることを特徴とする請求項2または請求項3に記載の液晶表示装置。

【請求項5】 絶縁性の基板の表面に導電性材料により第1の電極を形成する第1の工程と、前記第1の電極の表面に第1の絶縁膜を形成する第2の工程と、トランジスタが形成される領域の、前記第1の絶縁膜の表面における第1の電極と重なる位置に半導体層を形成する第3の工程と、前記半導体層における前記トランジスタのソース及びドレインとなる部分、及び蓄積容量素子となる領域の、前記第1の絶縁膜表面における第1の電極と重なる位置に第1の導電層を形成する第4の工程と、前記第1の導電層の表面に第2の導電層を形成する第5の工程と、前記第1の絶縁膜表面及び前記第2の導電層の表面に第2の絶縁層を形成する第5の工程と、前記第2の導電層表面の前記第2の絶縁層の所定の領域をエッチングしてコンタクトホールを形成する第6の工程と、前記コンタクトホールを含めて前記第2の絶縁層の表面に堆積された透明導電層をパターンニングし、前記コンタクトホール介して、所定の前記第2の導電層同士を接続する配線パターンを形成する第7の工程とを有することを特徴とする液晶表示装置の製造方法。

【請求項6】 絶縁性の基板の表面に導電性材料により第1の電極を形成する第1の工程と、前記第1の電極の表面に第1の絶縁膜を形成する第2の工程と、トランジスタが形成される領域の、前記第1の絶縁膜の表面における第1の電極と重なる位置に半導体層を形成する第3の工程と、前記第1の絶縁膜表面及び前記半導体層の表面に第1の導電層を形成する第4の工程と、前記第1の導電層の表面に第2の導電層を形成する第5の工程と、前記半導体層における前記トランジスタのソース及びドレインとなる部分、及び蓄積容量素子となる領域の、前記第1の絶縁膜表面における第1の電極と重なる位置に、前記第1の導電層と第2の導電層とのパターンを形成する第6の工程と、前記第1の絶縁膜表面及び前記第2の導電層の表面に第2の絶縁層を形成する第7の工程と、前記第2の導電層表面の前記第2の絶縁層の所定の領域をエッチングしてコンタクトホールを形成する第8の工程と、前記コンタクトホールを含めて前記第2の絶縁層の表面に堆積された透明導電層をパターンニングし、前記コンタクトホール介して、所定の前記第2の導電層同士を接続する配線パターンを形成する第9の工程とを有することを特徴とする液晶表示装置の製造方法。

【請求項7】 絶縁性の基板の表面にマトリクス状に形

成された複数のデータ線及びデータ選択線と、
このデータ線とデータ選択線との交点毎に形成されたト
ランジスタと、
このトランジスタを介して前記データ線に接続された画
素電極と、
前記トランジスタを介して前記データ線に接続された蓄
積容量素子とを具備し、
前記蓄積容量素子が、少なくとも、
前記基板の表面に導電性材料により形成された第1の電
極と、
この第1の電極の表面に形成された第1の絶縁膜と、
この第1の絶縁膜の表面の、前記第1の電極の上方の重
なる位置に形成された半導体層と、
この半導体層の表面に、異なった形状で加工され、重ね
合わされて形成された第2の電極とから形成され、
前記半導体層の上方の重なる位置において、前記第2の
電極が前記画素電極と接続されていることを特徴とする
液晶表示装置。

【請求項8】 前記第2の電極と前記画素電極との間に
介挿された第2の絶縁膜において、前記第2の電極と前
記画素電極とを接続するコンタクトホールが、前記半導
体層の上方の重なる位置に形成され、このコンタクトホ
ールの周縁が前記半導体層の周縁の内側に所定の距離を
有して形成されていることを特徴とする請求項7に記載
の液晶表示装置。

【請求項9】 前記距離が前記半導体層及び前記コンタ
クトホールの製造工程における寸法余裕により決定され
る値であることを特徴とする請求項7または請求項8に
記載の液晶表示装置。

【請求項10】 前記半導体層が前記トランジスタを形
成する半導体層と同一の層から形成されていることを特
徴とする請求項7ないし請求項9のいずれかに記載の液
晶表示装置。

【請求項11】 絶縁性の基板の表面に導電性材料によ
り第1の電極を形成する第1の工程と、
前記第1の電極の表面に第1の絶縁膜を形成する第2の
工程と、
トランジスタが形成される領域の、前記第1の絶縁層の
表面における第1の電極の上部、及び、蓄積容量素子の
形成される領域の、前記第1の絶縁層の表面における第
1の電極の上部に半導体層が形成される第3の工程と、
前記第1の絶縁層表面及び前記半導体層の表面に導電
層を形成する第4の工程と、
前記半導体層における前記トランジスタのソース及びド
レインとなる部分、及び蓄積容量素子となる領域の、前
記第1の絶縁層表面における第1の電極と重なる位置
に、前記導電層のパターンを形成する第5の工程と、
前記第1の絶縁層表面及び前記導電層の表面に第2の絶
縁層を形成する第6の工程と、
前記導電層表面の前記第2の絶縁層の所定の領域をエッ

チングしてコンタクトホールを形成する第7の工程と、
前記コンタクトホールを含めて前記第2の絶縁層の表面
に堆積された透明導電層をパターニングし、前記コンタ
クトホールを介して、所定の前記導電層同士を接続する配
線パターンを形成する第8の工程とを有することを特徴
とする液晶表示装置の製造方法。

【請求項12】 前記コンタクトホールが前記半導体層
の上方の重なる位置に形成され、このコンタクトホール
の周縁が前記半導体層の周縁の内側に所定の距離を有し
て形成されていることを特徴とする請求項11に記載の
液晶表示装置の製造方法。

【請求項13】 前記距離が前記半導体層及び前記コン
タクトホールの製造工程における寸法余裕により決定さ
れる値であることを特徴とする請求項11または請求項
12に記載の液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、薄膜トランジ
スタを用いたアクティブマトリクス型液晶表示装置及びそ
の製造方法に係わるものである。

【0002】

【従来の技術】近年、パーソナルコンピュータやワー
プロなどの小型化・軽量化のため、大画面化、及び高精細
化が可能な表示装置として、透明な絶縁体基板に形成し
た半導体薄膜トランジスタをアクティブなスイッチング
素子として利用したアクティブマトリクス型液晶表示装
置が用いられるようになってきている。

【0003】例えば、図20に示すような構成の液晶表
示装置が用いられている。図20は液晶表示装置の平面
図である。ここでは省略されているが、図20における
TFT基板Kの上部には、カラーフィルタ基板CBが重
ねられている。この液晶表示装置における回路の構成を
図21を用いて説明する。図21は、図20の液晶表示
装置の等価回路図である。

【0004】この図において、半導体薄膜トランジスタ
TR11～半導体薄膜トランジスタTRnmは、液晶表示装
置における各画素Gを駆動するため、各々データ線D1
～データ線Dmと、データ選択線S1～データ選択線Sn
との各交点近傍に各々形成される。データ線D1～デー
タ線Dmは、各々薄膜トランジスタTR11～薄膜トラン
ジスタTR1m、……、薄膜トランジスタTRn1～薄膜ト
ランジスタTRnmのドレイン端子へ接続されている。画
素Gは、薄膜トランジスタTR11～薄膜トランジスタT
Rnmの各々のソースへ接続されている。

【0005】ここで、データ線D1～データ線Dmは、図
示しない外部の駆動IC（集積回路）から各々端子TD
1～端子TDmを介して、各々画素Gの列配列に表示され
る表示データ信号D1～データ信号Dmが入力される。ま
た、データ選択線S1～データ選択線Snは、各々端子図
示しない外部の駆動ICから各々端子TG1～端子TGn

を介して、画素Gの行配列へ上述した表示データ信号を出力する薄膜トランジスタを選択する選択信号が入力される。

【0006】このとき、液晶表示装置は、入力される表示データ信号を所定のタイミングにおいて、各々データ線D1～データ線Dmへ順次入力させ、薄膜トランジスタTR11～薄膜トランジスタTR1m、……、薄膜トランジスタTRn1～薄膜トランジスタTRnm、すなわち、各薄膜トランジスタ行の薄膜トランジスタをオン状態にするデータ選択信号がこのタイミングに応じて順次データ選択線S1～データ選択線Snへ入力され、各画素Gへ所定の表示データ信号が入力される。

【0007】これにより、画素Gの容量CGには、各々薄膜トランジスタTR11～薄膜トランジスタTRnmを介して、それぞれデータ線D1～データ線Dmから、表示データ信号に対応する所定の電荷が蓄えられる。この画素Gの有する容量CGは、画素電極と、図示しないカラーフィルタ基板CBに形成された所定の電位Vaの対向電極（図27の対向電極23）とのあいだで形成されている。ここで、画素電極は、画素Gの領域に形成された透明電極12のパターンを指している。

【0008】しかしながら、画素Gの容量CGが蓄える容量値のみでは、蓄積された電荷が徐々に自然に放電されることにより、画素Gの容量CGに蓄えられる電荷が減少する。これにより、画素電極と対向電極との電位差が減少し、次の電荷の蓄積が行われる駆動サイクルまでに、液晶分子の配列方向を所定の位置に保持できなくなる。すなわち、表示が不必要に暗くなったり、明るくなるという表示輝度の変動現象がおこる。

【0009】このため、放電される電荷を補う目的で各画素Gには、各々蓄積容量素子C11～蓄積容量素子Cnmが画素Gと並列に設けられている。また、蓄積容量素子C11～蓄積容量素子Cnmの画素Gと接続されている端子と対向する他端子には、図示しない駆動ICから各々端子TG2～端子TGn、及び電極TCを介して所定の電圧が印加される。

【0010】次に、図22～図27を用いて上述した液晶表示装置の製造方法を説明する（特開平10-48664）。図22～図27は、図20において、製造過程または完成した線分A-Aにおける構造の断面構成を示すものである。また、図22～図27は、図20における矢印の方向から見た図である。

【0011】図22において、透明のガラス基板1の表面に、クロム層MT1を、スパッタリングまたはCVD（化学的気相成長）法などの技術により堆積させる。

【0012】次に、この導線層MT1の表面のゲート電極等が形成される領域に、通常用いられるフォトリソグラフィ技術により、図示しないレジストパターンを形成する。そして、この図示しないレジストパターンをマスクにして、導電層MT1のエッチングを行う。これによ

り、端子パターン2、ゲート電極パターン3及びゲートバスラインパターン4が形成される。ここで、ゲート電極パターン3は、薄膜トランジスタ（薄膜トランジスタTR11～薄膜トランジスタTRnm）のゲート電極となるようにゲートバスラインパターン4に突起状に設けられているパターン領域を指す。

【0013】次に、図23において、ゲート絶縁膜5を、例えば、シリコン窒化膜の層により形成する。そして、ゲート絶縁膜5の表面に、薄膜トランジスタ（図20における薄膜トランジスタTR11～薄膜トランジスタTRnm）となるi（イントリンシック）型のa-Si（アモルファスシリコン）層6及びn⁺型のn⁺型a-Si層7を順次積層する。

【0014】次に、このn⁺型a-Si層7の表面の薄膜トランジスタが形成される領域に、通常用いられるフォトリソグラフィ技術により、図示しないレジストパターンを形成する。そして、この図示しないレジストパターンをマスクにして、a-Si層6及びn⁺型a-Si層7のエッチングを行う。これにより、薄膜トランジスタのパターンの位置にa-Si層6及びn⁺型a-Si層7のパターンが形成される。

【0015】次に、図24において、n⁺型a-Si層7の表面及びゲート絶縁膜5の表面に、薄膜トランジスタのドレイン電極、ソース電極、及び蓄積容量素子（図20における蓄積容量素子C11～蓄積容量素子Cnm）の他の端子となる第2電極10の材料となるクロム層（導電層）MT2をスパッタリング又はCVD法などにより堆積させる。

【0016】次に、この導電層MT2の表面の薄膜トランジスタのソース電極及びドレイン電極、また蓄積容量素子の第2電極10が形成される領域に、通常用いられるフォトリソグラフィ技術により、図示しないレジストパターンを形成する。そして、この図示しないレジストパターンをマスクにして、この導電層MT2のエッチングを行う。

【0017】これにより、薄膜トランジスタのドレイン及びソースのパターンの位置に各々ドレイン電極8及びソース電極9が形成され、蓄積容量素子の端子パターンの位置に第2電極10が形成される。しかる後、ドレイン電極8及びソース電極9をマスクにして、薄膜トランジスタTR11～薄膜トランジスタTRnmのチャネル領域上に残っているn⁺型のn⁺型a-Si層7を除去する。

【0018】次に、図25において、保護絶縁膜11が、スパッタリング又はCVD法などにより、ドレイン電極8、ソース電極9及び第2電極10の表面と、ゲート絶縁膜5の表面とに堆積される。

【0019】次に、この保護絶縁膜11のコンタクトホールが形成される所定の領域に、通常用いられるフォトリソグラフィ技術により、図示しないレジストパターンを形成する。そして、この図示しないレジストパターン

をマスクにして、保護絶縁膜11のエッチングを行う。これにより、保護絶縁膜11の所定の位置にコンタクトホールCTのパターンが形成される。このとき、端子2の部分では、ゲート絶縁膜5もエッチングされ、端子2の表面が露出される。

【0020】次に、図26において、保護絶縁膜11の表面と、コンタクトホールCTにより露出されている端子パターン2の表面、ソース電極9のパターンの表面及びゲートバスラインパターン4の表面とに、スパッタリングなどにより透明な導電層(ITO: Indium Tin Oxide) 12が形成される。

【0021】この導電層12の画素電極及び配線パターンとなる所定の領域に、通常用いられるフォトリソグラフィ技術により、図示しないレジストパターンを形成する。そして、この図示しないレジストパターンをマスクにして、導電層12のエッチングを行う。これにより、導電層12により画素電極(画素G上の導電層12のパターン)が形成されるとともに、コンタクトホールCTを介して、画素電極と第2電極10とが接続される。

【0022】このようにして、蓄積容量素子C11~蓄積容量素子Cnmを、ゲートバスラインパターン4(金属層MT1で形成された)、ゲート絶縁膜5、及び第2電極10で形成することにより、容量値を大きくしている。なぜなら、第2電極10が無ければ画素電極で蓄積容量素子を形成しなければならず、保護絶縁膜11も加わることで、容量値が大きくできないからである。以上の工程で、TFT(薄膜トランジスタ)アレイ基板が完成する。

【0023】次に、図27(端子パターン2の部分は省略)において、保護絶縁膜11の表面と、導電層12の配線パターンの表面とに、ポリイミド樹脂などの材料の配向膜13が塗布される。そして、この配向膜13の表面をローラでこすり(ラビング工程)、配向膜の表面を液晶が配向する表面に加工する。

【0024】そして、同様に、ガラス基板1と重ね合わせるカラーフィルタ基板CBが作成される。ここで、カラーフィルタ基板CBは、ガラス基板20の表面に、ブラックマトリクス層21がCR等の金属材料で形成される。そして、このブラックマトリクス層21の表面に着色層22を積層させる。次に、この着色層22の表面にITOなどの透明導電膜からなる対向電極層23が積層される。そして、この対向電極層23の表面に、ポリイミド樹脂などの材料の配向膜24が塗布される。そして、この配向膜24の表面をローラでこすり(ラビング工程)、配向膜24の表面を液晶が配向する表面に加工する。

【0025】そして、スペーサを介し、配向膜13と配向膜24とが、互いに所定の距離を隔てて向かい合うように、TFT基板Kとカラーフィルタ基板CBとが張り合わされる。次に、TFT基板Kとカラーフィルタ基板

CBとの間隙に液晶14が注入され、TFT基板Kとカラーフィルタ基板CBとの間隙が封止される。次に、ガラス基板1の裏面及びガラス基板20の裏面に各々偏光板15、偏光板25を張り付け、駆動回路及び筐体などを付加し、液晶表示装置が構成される。

【0026】

【発明が解決しようとする課題】しかしながら、上述した液晶表示装置は、素子構造に起因して、素子を製造する過程において、画素電極と蓄積容量素子の第1電極(この場合はゲートバスラインパターン4)との短絡不良が起こる。製造プロセスにおける、この短絡不良の発生メカニズムを図28~図33を用いて以下に説明する。図28~図33は、図20において線分B-BにおけるB-B断面図を示している。

【0027】図22において、ゲート絶縁膜5の表面に導電層MT2を堆積させたときに、図28に示すように、ゲートバスラインパターン4の上部に、この導電層MT2に成膜欠陥FA1が膜表面のゴミなどの原因により形成されたとする。そして、図29に示すように第2電極10を形成するフォトレジストR1をフォトリソグラフィ技術により形成する。これにより、導電層MT2をフォトレジストR1をマスクとしてエッチングし、レジストR1を除去することにより、図30に示す形状となる。

【0028】そして、図31に示すように、第2電極10の表面及びゲート絶縁膜5の表面に保護絶縁膜11を堆積させる。次に、この保護絶縁膜11の表面にフォトレジストR2を塗布し、このフォトレジストR2をフォトリソグラフィ技術により、コンタクトホールCTを形成するパターンを形成する。これにより、保護絶縁膜11をフォトレジストR2をマスクとしてエッチングし、レジストR2を除去することにより、図32に示す形状となる。

【0029】しかしながら、このとき、図25を見て判るように、蓄積容量素子と端子パターン2の部分では、エッチングする厚さが異なる。すなわち、第2電極10の部分は、保護絶縁膜11のみのエッチングを行えば、第2電極10の表面が露出するが、端子パターン2の部分では、保護絶縁膜11とゲート絶縁膜5とをエッチングする必要がある。

【0030】このため、エッチング時間としては、保護絶縁膜11とゲート絶縁膜5とが十分に除去される期間を設定している。この結果、第2電極10に成膜欠陥FA1が無いと、第2電極10がストッパーとなりエッチングが進まないが、成膜欠陥FA1があると、ゲートバスライン4までエッチングが進んでしまい、図32に示される様に、ゲート絶縁膜5に成膜欠陥FA2が形成される。

【0031】そして、図33において、導電膜12のパターンが形成されたとき、第2電極10とゲートバスラ

イン4とが、成膜欠陥FA2を介して短絡してしまう。この結果、たとえば、図20において、蓄積容量素子C11において第2電極10とゲートバスライン4とが短絡したとすると、薄膜トランジスタTR11がオン状態となり、画素Gに電荷を注入したとしても、蓄積容量素子C11の第2電極10とからゲートバスライン4へ電荷のパスが形成されているため、画素Gが常にゲートバスライン4の電圧と等しくなり、短絡不良のある画素Gは点欠陥として視認され、表示品位が低下する。

【0032】短絡不良を発生させないためには、保護絶縁膜11のみをエッチングした後、端子パターン2の部分以外をマスクしてからゲート絶縁膜5をエッチングすればよい。しかし、1つマスクが増加してしまうばかりでなく、コンタクトホールCTで露出された第2電極10が汚染されてしまい、コンタクトホールCTにおけるコンタクト抵抗が増加して蓄積容量素子への電荷のチャージが十分に行われなくなる。よって、保護絶縁膜11とゲート絶縁膜5とを同じマスクを用い、エッチング処理をしている。

【００３３】また、導電層ＭＴ２の成膜時に欠陥が形成されなくとも、第２電極１０を形成する時のエッチングのマスクとなる、フォトレジストＲ１に欠陥がある場合も、上述した同様な第２電極１０とゲートバスライン４との短絡不良が起こる。この短絡不良を図３４～図３６を用いて以下に説明する。図３４～図３６は、図２０において線分Ｂ－ＢにおけるＢ－Ｂ断面図を示している。

【0034】例えば、図22において、ゲート絶縁膜5の表面に導電層MT2を堆積させて図34に示す様な構造とする。そして、図35に示すように第2電極10を形成するフォトレジストR1をフォトリソグラフィ技術により形成する。このとき、フォトレジストR1に気泡などが混入されて形成されるレジスト欠陥FR1が形成されたとする。これにより、導電層MT2をフォトレジストR1をマスクとしてエッチングし、フォトレジストR1を除去することにより、図36に示す形状となる。

【0035】このとき、レジスト欠陥FR1を有するフォトリジストR1をマスクとして、導電層MT2がエッチングされるため、図30と同様な、導電層MT2に膜欠陥FA3が形成される。この後の、第2電極10とゲートバスラインパターン4との短絡不良が形成される間での経過は、成膜欠陥FA1を膜欠陥FA3に置き換える以外は、図30～図33間での説明と同様なために省略する。

【0036】上述したような問題を回避するため、第2電極10のコンタクトホールCTの位置を蓄積容量素子の第1の電極からずらす対策も考えられている（特開平9-15644）。図37を参照して上述の液晶表示装置の構造を説明する。図37は、他の従来例の液晶表示装置の平面図の一画素の部分を拡大した図である。これは、蓄積容量素子（蓄積容量素子C11〜蓄積容量素子C

nm)を先に説明した従来例の液晶表示装置のゲートバスラインパターン4とは別の共通電位線パターン40と、第2電極10(補助電極)の間で形成している。この共通電位線パターン40は、先に説明した従来例のゲートバスラインパターン4と同一の導電層で形成されるため、プロセスは同じである。

【0037】この様に、蓄積容量素子の構造には、図20に示す液晶表示装置の第2電極10及びゲートバスラインパターン4で構成された蓄積容量素子と、第2電極10及び共通電位線パターン40で構成された蓄積容量素子との2種類がある。

【0038】次に、図37における液晶表示装置の構成を説明する。ここで、薄膜トランジスタTRの構造は、図20の薄膜トランジスタTR11～薄膜トランジスタTRnmと同様なので説明を省略する。このため、図37のC-C断面図である図38を参照して、蓄積容量素子C11～蓄積容量素子Cnmの構造を説明する。この図において、絶縁性基板1の表面に共通電位線パターン40が形成され、絶縁性基板1の表面及び共通電位線パターン40の表面にゲート絶縁膜5が形成されている。

【0039】そして、ゲートバスラインパターン4上部のゲート絶縁膜5の表面に蓄積容量素子C11を形成するための、a-Si層6、n+型a-Si層7及び第2電極10がスタック構造で形成されている。すなわち、a-Si層6、n+型a-Si層7及び第2電極10は、a-Si層6、n+型a-Si層7及び導電層MT2を順次積層した後、フォトリソグラフィ技術で形成された補助電極作成用の同一マスクとしてのフォトレジストにより、一回のエッチング処理により形成されている。

【0040】そして、上述してきたプロセスにより、コンタクトホールCTを形成し、導電層12の配線パターンを形成する。このコンタクトホールCTを形成するエッチングにおいて、補助電極作成用のパターン作成のマスクとなるフォトレジストに欠陥があるとき、補助電極を形成するa-Si層6、n+型a-Si層7及び第2電極10の各層を貫通する膜欠陥が形成される。

【0041】しかしながら、図20における端子パターン2におけるコンタクトホールCTを形成するときのオーバーエッチングにより、ゲート絶縁膜5がエッチングされたとしても、蓄積容量素子の第1電極（この場合共通電位線パターン40）がずれた位置にあるため、導電層12による第2電極10と蓄積容量素子の第1電極との短絡不良が起こらない。しかし、第2電極10が蓄積容量素子の第1電極の外部にずれた部分の面積により画素Gの開口率は低下する。

【0042】なぜなら、図20の場合は、コンタクトホールCTは、ゲートバスラインパターン4の上部にあり、ゲートバスラインパターン4が不透明であったので、コンタクトホールCTを設けたことによって、開口率が低下することはなかった。しかしながら、図37の

場合には、コンタクトホールCTを蓄積容量素子の第1電極の上部に来ないようにずらしたため、非透明性の部分の面積が増加し、開口率が下がり、画素の表示輝度が低下する欠点がある。よって、画素電極と蓄積容量素子の第2電極10とのコンタクトは、蓄積容量素子の第1電極上部に設けて開口率を低下させないようにしたい。

【0043】また、図38の蓄積容量素子C11（蓄積容量素子C12～蓄積容量素子Cnm）は、第2電極10の下部が全てa-Si層6及びn+型a-Si層7とが存在するため、かなりの部分がMIS（金属-絶縁体-半導体）構造のMIS容量となっているため、面積に対して容量値が小さくなる欠点もある。

【0044】本発明はこのような背景の下になされたもので、表示が行われる画素の開口率を大きく保ち、必要な容量値を確保し、かつ短絡不良を防止する構造の蓄積容量素子を有する液晶表示装置及びその製造方法を提供する事にある。

【0045】

【課題を解決するための手段】請求項1に記載の発明は、液晶表示装置において、絶縁性の基板の表面にマトリクス状に形成された複数のデータ線及びデータ選択線と、このデータ線とデータ選択線との交点毎に形成されたトランジスタと、このトランジスタを介して前記データ線に接続された画素電極と、前記トランジスタを介して前記データ線に接続された蓄積容量素子とを具備し、前記蓄積容量素子が、少なくとも、前記基板の表面に導電性材料により形成された第1の電極と、この第1の電極の表面に形成された第1の絶縁膜と、この絶縁膜の表面に、第1の金属材料で堆積された第1の導電層と、第2の金属材料で堆積された第2の導電層とが、同一形状に加工され、重ね合わされて形成された第2の電極とから形成され、前記第1の電極の上方の重なる位置において、前記第2の電極が前記画素電極と接続されていることを特徴とする液晶表示装置。

【0046】請求項2に記載の発明は、液晶表示装置において、絶縁性の基板の表面にマトリクス状に形成された複数のデータ線及びデータ選択線と、このデータ線とデータ選択線との交点毎に形成されたトランジスタと、このトランジスタを介して前記データ線に接続された画素電極と、前記トランジスタを介して前記データ線に接続された蓄積容量素子とを具備し、前記蓄積容量素子が、少なくとも、前記基板の表面に導電性材料により形成された第1の電極と、この第1の電極の表面に形成された第1の絶縁膜と、この絶縁膜の表面に、第1の金属材料で堆積された第1の導電層と、第2の金属材料で堆積された第2の導電層とが、異なった形状に加工され、重ね合わされて形成された第2の電極とから形成され、前記第1の電極の上方の重なる位置において、前記第2の電極が前記画素電極と接続されていることを特徴とする液晶表示装置。

【0047】請求項3に記載の発明は、請求項2に記載の液晶表示装置において、前記第2の電極と前記画素電極との間に介挿された第2の絶縁膜において、前記第2の電極と前記画素電極とを接続するコンタクトホールが、前記第1の導電層の上方の重なる位置に形成され、このコンタクトホールの周縁が前記第1の導電層の周縁の内側に所定の距離を有して形成されていることを特徴とする。

【0048】請求項4に記載の発明は、請求項2または請求項3に記載の液晶表示装置において、前記距離が前記第1の導電層及び前記コンタクトホールの製造工程における寸法余裕により決定される値であることを特徴とする。

【0049】請求項5に記載の発明は、液晶表示装置の製造方法において、絶縁性の基板の表面に導電性材料により第1の電極を形成する第1の工程と、前記第1の電極の表面に第1の絶縁膜を形成する第2の工程と、トランジスタが形成される領域の、前記第1の絶縁膜の表面における第1の電極と重なる位置に半導体層を形成する第3の工程と、前記半導体層における前記トランジスタのソース及びドレインとなる部分、及び蓄積容量素子となる領域の、前記第1の絶縁膜表面における第1の電極と重なる位置に第1の導電層を形成する第4の工程と、前記第1の導電層の表面に第2の導電層を形成する第5の工程と、前記第1の絶縁膜表面及び前記第2の導電層の表面に第2の絶縁層を形成する第5の工程と、前記第2の導電層表面の前記第2の絶縁層の所定の領域をエッチングしてコンタクトホールを形成する第6の工程と、前記コンタクトホールを含めて前記第2の絶縁層の表面に堆積された透明導電層をパターニングし、前記コンタクトホール介して、所定の前記第2の導電層同士を接続する配線パターンを形成する第7の工程とを有することを特徴とする。

【0050】請求項6に記載の発明は、液晶表示装置の製造方法において、絶縁性の基板の表面に導電性材料により第1の電極を形成する第1の工程と、前記第1の電極の表面に第1の絶縁膜を形成する第2の工程と、トランジスタが形成される領域の、前記第1の絶縁膜の表面における第1の電極と重なる位置に半導体層を形成する第3の工程と、前記第1の絶縁膜表面及び前記半導体層の表面に第1の導電層を形成する第4の工程と、前記第1の導電層の表面に第2の導電層を形成する第5の工程と、前記半導体層における前記トランジスタのソース及びドレインとなる部分、及び蓄積容量素子となる領域の、前記第1の絶縁膜表面における第1の電極と重なる位置に、前記第1の導電層と第2の導電層とのパターンを形成する第6の工程と、前記第1の絶縁膜表面及び前記第2の導電層の表面に第2の絶縁層を形成する第7の工程と、前記第2の導電層表面の前記第2の絶縁層の所定の領域をエッチングしてコンタクトホールを形成する

第8の工程と、前記コンタクトホールを含めて前記第2の絶縁層の表面に堆積された透明導電層をパターニングし、前記コンタクトホール介して、所定の前記第2の導電層同士を接続する配線パターンを形成する第9の工程とを有することを特徴とする。

【0051】請求項7に記載の発明は、液晶表示装置において、絶縁性の基板の表面にマトリクス状に形成された複数のデータ線及びデータ選択線と、このデータ線とデータ選択線との交点毎に形成されたトランジスタと、このトランジスタを介して前記データ線に接続された画素電極と、前記トランジスタを介して前記データ線に接続された蓄積容量素子とを具備し、前記蓄積容量素子が、少なくとも、前記基板の表面に導電性材料により形成された第1の電極と、この第1の電極の表面に形成された第1の絶縁膜と、この第1の絶縁膜の表面の、前記第1の電極の上方の重なる位置に形成された半導体層と、この半導体層の表面に、異なった形状で加工され、重ね合わされて形成された第2の電極とから形成され、前記半導体層の上方の重なる位置において、前記第2の電極が前記画素電極と接続されていることを特徴とする。

【0052】請求項8に記載の発明は、請求項7に記載の液晶表示装置において、前記第2の電極と前記画素電極との間に介挿された第2の絶縁膜において、前記第2の電極と前記画素電極とを接続するコンタクトホールが前記半導体層の上方の重なる位置に形成され、このコンタクトホールの周縁が前記半導体層の周縁の内側に所定の距離を有して形成されていることを特徴とする。

【0053】請求項9に記載の発明は、請求項7または請求項8に記載の液晶表示装置において、前記距離が前記半導体層及び前記コンタクトホールの製造工程における寸法余裕により決定される値であることを特徴とする。

【0054】請求項10に記載の発明は、請求項7ないし請求項9のいずれかに記載の液晶表示装置において、前記半導体層が前記トランジスタを形成する半導体層と同一の層から形成されていることを特徴とする。

【0055】請求項11に記載の発明は、液晶表示装置の製造方法において、絶縁性の基板の表面に導電性材料により第1の電極を形成する第1の工程と、前記第1の電極の表面に第1の絶縁膜を形成する第2の工程と、トランジスタが形成される領域の、前記第1の絶縁層の表面における第1の電極の上部、及び、蓄積容量素子の形成される領域の、前記第1の絶縁層の表面における第1の電極の上部に半導体層が形成される第3の工程と、前記第1の絶縁層表面及び前記半導体層の表面に導電層を形成する第4の工程と、前記半導体層における前記トランジスタのソース及びドレインとなる部分、及び蓄積容量素子となる領域の、前記第1の絶縁層表面における第1の電極と重なる位置に、前記導電層のパターンを形

成する第5の工程と、前記第1の絶縁層表面及び前記導電層の表面に第2の絶縁層を形成する第6の工程と、前記導電層表面の前記第2の絶縁層の所定の領域をエッチングしてコンタクトホールを形成する第7の工程と、前記コンタクトホールを含めて前記第2の絶縁層の表面に堆積された透明導電層をパターニングし、前記コンタクトホール介して、所定の前記導電層同士を接続する配線パターンを形成する第8の工程とを有することを特徴とする。

【0056】請求項12記載の発明は、液晶表示装置の製造方法において、前記コンタクトホールが前記半導体層の上方の重なる位置に形成され、このコンタクトホールの周縁が前記半導体層の周縁の内側に所定の距離を有して形成されていることを特徴とする請求項11に記載の。

【0057】請求項13記載の発明は、請求項11または請求項12に記載の液晶表示装置の製造方法において、前記距離が前記半導体層及び前記コンタクトホールの製造工程における寸法余裕により決定される値であることを特徴とする。

【0058】

【発明の実施の形態】以下、図面を参照して本発明の実施形態について説明する。第1の実施形態～第2の実施形態の動作は、従来例において説明した動作と同様のため省略する。

<第1の実施形態>次に、図1～図6を用いて第1の実施形態による液晶表示装置の構造及び製造方法を説明する。図1は、図20の画素Gの一面素分の領域を拡大した図である。図20の蓄積容量素子C11と第1の実施形態における蓄積容量素子CS11（蓄積容量素子CS12～蓄積容量素子CSnm）との構造は、異なっており、以下製造方法の説明とともに構造について説明する。

【0059】図2～図6は、図20及び図1において、製造過程または完成した線分A-AにおけるA-A断面図を示すものである。また、図2～図6は、図20における矢印の方向から見た図である。図2において、透明のガラス基板1の表面に、例えば1400オングストロームの厚さの導電層MT1を、スパッタリングまたはCVD（化学的気相成長）法などの技術により堆積させる。ここで、導電層MT1は、Cr（クロム）、Al（アルミニウム）、W（タングステン）、Mo（モリブデン）、Cu（銅）、Ta（タンタル）、Ta₂N（窒化タンタル）等の金属の単層膜により、又はこれらの金属を主成分とする合金材料により、もしくは積層膜等により形成される。

【0060】次に、この導電層MT1の表面のゲート電極等が形成される領域に、通常用いられるフォトリソグラフィ技術により、図示しないレジストパターンを形成する。そして、この図示しないレジストパターンをマスクにして、導電層MT1のエッチングを行う。これによ

り、端子パターン2、ゲート電極パターン3及びゲートバスラインパターン4が形成される。ここで、ゲート電極パターン3は、薄膜トランジスタのゲート電極としてゲートバスラインパターン4に突起状に形成されている。

【0061】次に、図3において、ゲート絶縁膜5を、例えば、1500オングストロームの厚さのシリコン酸化膜(SiO_x)の層、及び3250オングストロームの厚さのシリコン窒化膜(SiN_x)の層を順次積層して形成する。ここで、これらの絶縁膜を構成する材料として、他にSiNO、酸化アルミニウム(AlO_x)や酸化タンタル(TaO_x)等の金属酸化膜、ポリイミドやベンゾシクロブテン(BCB: Benzocyclobutane)等の有機絶縁膜もしくはこれらの積層膜を用いることもできる。

【0062】そして、ゲート絶縁膜5の表面に、薄膜トランジスタ(図20における薄膜トランジスタTR11~薄膜トランジスタTRnm)となるi(イントリンシック)型のa-Si(アモルファスシリコン)層6及びn型のn+型a-Si層7を順次積層する。

【0063】次に、このn+型a-Si層7の表面の薄膜トランジスタが形成される領域に、通常用いられるフォトリソグラフィ技術により、図示しないレジストパターンを形成する。そして、この図示しないレジストパターンをマスクにして、a-Si層6及びn+型a-Si層7のエッチングを行う。これにより、薄膜トランジスタのパターンの位置にa-Si層6及びn+型a-Si層7のパターンが形成される。

【0064】次に、図4において、n+型a-Si層7の表面及びゲート絶縁膜5の表面に、薄膜トランジスタのドレイン電極、ソース電極、及び蓄積容量素子(図20における蓄積容量素子CS11~蓄積容量素子CSnm)の他の端子となる補助電極の材料となる導電層、すなわち厚さ700オングストロームの金属層MM1及厚さ700オングストロームの金属層MM2をスパッタリング又はCVD法等により順次堆積させる。ここで、金属層MM1及び金属層MM2は、Cr(クロム)、Al(アルミニウム)、W(タングステン)、Mo(モリブデン)、Cu(銅)、Ta(タンタル)、Ta₂N₅(窒化タンタル)等の金属の単層膜により、又はこれらの金属を主成分とする合金材料により、もしくはこれらの金属の積層膜等により形成される。

【0065】次に、この金属層MM2の表面の薄膜トランジスタのソース電極及びドレイン電極、また蓄積容量素子の補助電極が形成される領域に、通常用いられるフォトリソグラフィ技術により、図示しないレジストパターンをマスクにして、この金属層MM1及び金属層MM2のエッチングを行う。これにより、薄膜トランジスタのドレイン及びソースのパターンの位置に各々ドレイン電極PD1及びソース電極PS1のパターンが形成さ

れ、蓄積容量素子の端子パターンの位置に補助電極PH1のパターンが形成される。しかる後、薄膜トランジスタTR11(薄膜トランジスタTR12~薄膜トランジスタTRnm)のチャンネル領域上に残っているn+型a-Si層7を除去する。

【0066】次に、図5において、保護絶縁膜11が、2000オングストロームの厚さでスパッタリング又はCVD法などにより、ドレイン電極PD1、ソース電極PS1及び補助電極PH1の表面と、ゲート絶縁膜5の表面とに堆積される。ここで、絶縁膜を構成する材料として、シリコン窒化膜(SiN_x)、シリコン酸化膜(SiO_x)、シリコン酸化窒化膜(SiN_xO_y)、他に、酸化アルミニウム(AlO_x)や酸化タンタル(TaO_x)等の金属酸化膜、ポリイミドやベンゾシクロブテン(BCB: Benzocyclobutane)等の有機絶縁膜もしくはこれらの積層膜を用いることもできる。

【0067】次に、この保護絶縁膜11のコンタクトホールが形成される所定の領域に、通常用いられるフォトリソグラフィ技術により、図示しないレジストパターンを形成する。そして、この図示しないレジストパターンをマスクにして、保護絶縁膜11のエッチングを行う。これにより、保護絶縁膜11の所定の位置にコンタクトホールCTのパターンが形成される。

【0068】このとき、蓄積容量素子CS11(蓄積容量素子CS12~蓄積容量素子CSnm)の補助電極PH1の表面、すなわち金属MM2の表面を露出させる場合には、保護絶縁膜11のみをエッチングで除去するだけで良いが、端子パターン2の表面を露出させる場合には、保護絶縁膜11及びゲート絶縁膜5の双方をエッチングにより除去する必要がある。

【0069】そして、金属MM2の表面の露出と端子パターン2の表面の露出とが同じエッチング工程で行われるため、保護絶縁膜11のエッチングによる除去が終了し、金属MM2の表面が露出されてから、ゲート絶縁膜5がエッチングにより除去され、端子パターン2の表面が露出されるまで、金属MM2に対するコンタクトホールCTはオーバーエッチングされる。このため、金属MM2に対するコンタクトホールCTは、フォトリソグラフィによるパターンの形状に比較して横方向に寸法が広がることになる。

【0070】次に、図6において、保護絶縁膜11の表面と、コンタクトホールCTにより露出されている端子パターン2の表面、ソース電極PS1のパターンの表面及び補助電極PH1の表面とに、スパッタリングなどにより透明な導電層(例えば、ITO: Indium Tin Oxide)12が、400オングストロームの厚さで形成される。

【0071】この導電層12の画素電極及び配線パターンとなる所定の領域に、通常用いられるフォトリソグラフィ技術により、図示しないレジストパターンを形成す

る。そして、この図示しないレジストパターンをマスクにして、導電層 12 のエッチングを行う。これにより、エッチングにより導電層 12 の残った部分として、画素電極及び所定の電極同士を接続する配線パターンが形成される。

【0072】以下の工程は、従来例の図 27 においてされた説明と同様なため、説明を省略する。第 1 の実施形態による液晶表示装置の蓄積容量素子 C S11～蓄積容量素子 C Snm の構造としては、補助電極 PH1 を金属層 MM1 と金属層 MM2 との 2 層構成で形成している点が従来例とは異なる。

【0073】また、薄膜トランジスタ TR11～薄膜トランジスタ TRnm も、従来例と符号を等しくしているが、従来例とはドレイン電極 PD1 及びソース電極 PS1 の構造が異なり、補助電極 PH1 と同じ層構造となっている。さらに、金属層 MM1 と金属層 MM2 とは、同じ種類の材質で構成されても良いし、異なった材質で構成されても良い。

【0074】これにより、金属層 MM1 と金属層 MM2 とを重ねて形成するため、成膜欠陥が同じ場所で重なる確率は非常に低くなり、金属層 MM1 と金属層 MM2 とが、ゲートバスラインパターン 4 上の保護絶縁膜 11 のエッチングにおけるストッパーとなる。この結果、第 1 の実施形態の液晶表示装置では、補助電極 PH1 の形成における成膜時に生成される成膜欠陥に基づく、コンタクトホール CT がゲートバスラインパターン 4 まで到達する事が無く、画素電極と補助電極 PH1 とゲートバスラインパターン 4 との短絡が起こらず、点欠陥となることがない。

【0075】さらに、第 1 の実施形態の液晶表示装置によれば、補助電極 PH1 がゲートバスラインパターン 4 の上部にあるため、ゲートバスラインパターン 4 以外に開口率を減少させることがなく、所定の開口率を確保する事が可能となる。加えて、第 1 の実施形態の液晶表示装置によれば、蓄積容量素子 C S11～蓄積容量素子 C Snm は、金属／絶縁膜／金属層で形成されているため、MIS 容量が無く、所定の電荷蓄積の容量を確保できる効果がある。

【0076】第 1 の実施形態では、金属層 MM1 と金属層 MM2 とを別々の成膜工程にて成膜し、積層構成としている。よって、各々の金属層の成膜時に成膜欠陥があったとしても、それらの成膜欠陥が重なり、しかもコンタクトホールの位置と一致する確率は極めて小さい。よって、成膜欠陥に起因する短絡不良は殆ど発生しない。しかし、これら金属層 MM1 及び金属層 MM2 を補助電極の形状に加工するレジストパターンに欠陥があり、それがコンタクトホールの位置と一致した場合は、従来と同様に短絡不良が発生してしまう。そこで、第 2 の実施形態では、成膜欠陥とレジストパターンの欠陥との両方に起因する短絡不良を解決するものである。

【0077】＜第 2 の実施形態＞次に、図 7～図 13 を用いて第 2 の実施形態による液晶表示装置の構造及び製造方法を説明する。図 7 は、図 20 の画素 G の一画素分の領域を拡大した図である。図 20 の蓄積容量素子 C11 と第 2 の実施形態における蓄積容量素子 C Q11（蓄積容量素子 C Q12～蓄積容量素子 C Qnm）との構造は、異なっており、以下製造方法の説明とともに構造について説明する。

【0078】図 8～図 13 は、図 20 及び図 7 において、製造過程または完成した線分 A-A における A-A 断面図を示すものである。また、図 8～図 13 は、図 20 における矢印の方向から見た図である。図 8 において、透明のガラス基板 1 の表面に、例えば 1400 オングストロームの厚さの導電層 MT1 を、スパッタリングまたは CVD（化学的気相成長）法などの技術により堆積させる。ここで、導電層 MT1 は、Cr（クロム）、Al（アルミニウム）、W（タングステン）、Mo（モリブデン）、Cu（銅）、Ta（タンタル）、Ta₂N₅（窒化タンタル）等の金属の単層膜により、又はこれらの金属を主成分とする合金材料により、もしくは積層膜等により形成される。

【0079】次に、この導電層 MT1 の表面のゲート電極等が形成される領域に、通常用いられるフォトリソグラフィ技術により、図示しないレジストパターンを形成する。そして、この図示しないレジストパターンをマスクにして、導電層 MT1 のエッチングを行う。これにより、端子パターン 2、ゲート電極パターン 3 及びゲートバスラインパターン 4 が形成される。

【0080】次に、図 9 において、ゲート絶縁膜 5 を、例えば、1500 オングストロームの厚さのシリコン酸化膜（SiO₂）の層、及び 3250 オングストロームの厚さのシリコン窒化膜（SiN_x）の層を順次積層して形成する。ここで、絶縁膜を構成する材料として、他に Si₃N₄、酸化アルミニウム（Al₂O₃）や酸化タンタル（Ta₂O₅）等の金属酸化膜、ポリイミドやベンゾシクロブテン（BCB：Benzocyclobutene）等の有機絶縁膜もしくはこれらの積層膜を用いることもできる。

【0081】そして、ゲート絶縁膜 5 の表面に、薄膜トランジスタ（図 20 における薄膜トランジスタ TR11～薄膜トランジスタ TRnm）となる i（イントリンシック）型の a-Si（アモルファスシリコン）層 6 及び n 型の n+型 a-Si 層 7 を順次積層する。

【0082】次に、この n+型 a-Si 層 7 の表面の薄膜トランジスタが形成される領域に、通常用いられるフォトリソグラフィ技術により、図示しないレジストパターンを形成する。そして、この図示しないレジストパターンをマスクにして、a-Si 層 6 及び n+型 a-Si 層 7 のエッチングを行う。これにより、薄膜トランジスタのパターンの位置に a-Si 層 6 及び n+型 a-Si 層 7 のパターンが形成される。

【0083】次に、図10において、 $n+$ 型 $a-Si$ 層7の表面及びゲート絶縁膜5の表面に、薄膜トランジスタTR11～薄膜トランジスタTRnmのソース電極PD2、ドレイン電極PD2及び蓄積容量素子(図20における蓄積容量素子CS11～蓄積容量素子CSnm)の他の端子となる補助電極の材料となる導電層の、厚さが700オングストロームの金属層MM3がスパッタリング又はCVD法等により堆積される。ここで、金属層MM3は、Cr(クロム)、Al(アルミニウム)、W(タングステン)、Mo(モリブデン)、Cu(銅)、Ta(タンタル)、Ta₂N₅(窒化タンタル)等の金属の単層膜により、又はこれらの金属を主成分とする合金材料により、もしくはこれらの金属の積層膜等により形成される。

【0084】そして、この金属層MM3の表面に蓄積容量素子の補助電極が形成される領域に、通常用いられるフォトリソグラフィ技術により、図示しないレジストパターンを形成する。そして、この図示しないレジストパターンをマスクにして、金属層MM3のエッチングを行う。これにより、ゲートバスラインパターン4上に重なる位置の蓄積容量素子CQ11(蓄積容量素子CQ12～蓄積容量素子CQnm)のコンタクトホールCT形成予定の位置に補助電極PH2の下部層となる金属層MM3のパターンが形成される。

【0085】次に、図11において、 $n+$ 型 $a-Si$ 層7の表面、ゲート絶縁膜5の表面及び金属層MM3のパターンの表面に、薄膜トランジスタのドレイン電極、ソース電極、及び蓄積容量素子(図20における蓄積容量素子CS11～蓄積容量素子CSnm)の他の端子となる補助電極の上層部の材料となる導電層の、厚さ1400オングストロームの金属層MM4をスパッタリング又はCVD法等により堆積させる。ここで、金属層MM4は、Cr(クロム)、Al(アルミニウム)、W(タングステン)、Mo(モリブデン)、Cu(銅)、Ta(タンタル)、Ta₂N₅(窒化タンタル)等の金属の単層膜により、又はこれらの金属を主成分とする合金材料により、もしくはこれらの金属の積層膜等により形成される。

【0086】次に、この金属層MM4の表面の薄膜トランジスタのソース電極及びドレイン電極、また蓄積容量素子の補助電極が形成される領域に、通常用いられるフォトリソグラフィ技術により、図示しないレジストパターンを形成する。そして、この図示しないレジストパターンをマスクにして、この金属層MM4のエッチングを行う。これにより、薄膜トランジスタのドレイン及びソースのパターンの位置に各々ドレイン電極PD2及びソース電極PS2のパターンが形成され、蓄積容量素子の端子パターンの位置に補助電極PH2のパターンが形成される。しかる後、薄膜トランジスタTR11(薄膜トランジスタTR12～薄膜トランジスタTRnm)のチャンネル領域上に残っている $n+$ 型 $a-Si$ 層7を除去する。

【0087】次に、図12において、保護絶縁膜11

が、2000オングストロームの厚さでスパッタリング又はCVD法などにより、ドレイン電極PD2、ソース電極PS2及び補助電極PH2の表面と、ゲート絶縁膜5の表面とに堆積される。ここで、絶縁膜を構成する材料として、シリコン窒化膜(SiN_x)、シリコン酸化膜(SiO_x)、シリコン酸化窒化膜(SiN_xO_y)、他に、酸化アルミニウム(AlO_x)や酸化タンタル(TaO_x)等の金属酸化膜、ポリイミドやベンゾシクロブテン(BCB: Benzocyclobutane)等の有機絶縁膜もしくはこれらの積層膜を用いることもできる。

【0088】次に、この保護絶縁膜11のコンタクトホールが形成される所定の領域に、通常用いられるフォトリソグラフィ技術により、図示しないレジストパターンを形成する。そして、この図示しないレジストパターンをマスクにして、保護絶縁膜11のエッチングを行う。これにより、保護絶縁膜11の所定の位置にコンタクトホールCTのパターンが形成される。

【0089】このとき、蓄積容量素子CQ11(蓄積容量素子CQ12～蓄積容量素子CQnm)の補助電極PH2の表面、すなわち金属MM4の表面を露出させる場合には、保護絶縁膜11のみをエッチングで除去するだけで良いが、端子パターン2の表面を露出させる場合には、保護絶縁膜11及びゲート絶縁膜5の双方をエッチングにより除去する必要がある。

【0090】そして、金属MM4の表面の露出と端子パターン2の表面の露出とが同じエッチング工程で行われるため、保護絶縁膜11のエッチングによる除去が終了し、金属MM4の表面が露出されてから、ゲート絶縁膜5がエッチングにより除去され、端子パターン2の表面が露出されるまで、金属MM4に対するコンタクトホールCTはオーバーエッチングされる。このため、金属MM4に対するコンタクトホールCTは、フォトレジストによるパターンの形状に比較して横方向に寸法が広がることになる。

【0091】ここで作成される、蓄積容量素子CQ11(蓄積容量素子CQ12～蓄積容量素子CQnm)の形成領域におけるコンタクトホールCTの開口部と、補助電極PH2における金属層MM3との位置関係は、図7に示すように、コンタクトホールCTの開口部(周縁)が金属層MM3のパターン内部へ距離「d」入り込んだ状態となっている。

【0092】この距離「d」は、コンタクトホールCTと金属層MM3とのパターンとの製造時の位置ずれによる誤差を見込んだ余裕寸法、及び端子パターン2までコンタクトホールをエッチングするためのオーバーエッチングにより、コンタクトホールが横方向に増加する距離とを加えたものである。すなわち、距離「d」の最低値は製造時の位置ずれによる誤差を見込んだ余裕寸法と、オーバーエッチングでコンタクトホールが横方向に増加する距離とを加えた値とする必要がある。

10

20

30

40

50

【0093】ここでは、補助電極PH2における金属層MM3の大きさをコンタクトホールCTの大きさに対して決めたが、逆に、補助電極PH2における金属層MM4の大きさをコンタクトホールCTに対して決めて、金属層MM3は金属層MM4に対して大きく形成してもよい。また、金属層MM3及び金属層MM4の双方をコンタクトホールCTに対して、上述した距離「d」に比較し十分大きく形成しても良い。さらに、第1の実施形態と同様に、補助電極PH2における金属層MM3及び金属層MM4を同じ大きさの形状として重ねて形成しても

【0094】次に、図13において、保護絶縁膜11の表面と、コンタクトホールCTにより露出されている端子パターン2の表面、ソース電極PS2のパターンの表面及び補助電極PH2の表面とに、スパッタリングなどにより透明な導電層（例えば、ITO：Indium Tin Oxide）12が、400オングストロームの厚さで形成される。

【0095】この導電層12の画素電極及び配線パターンとなる所定の領域に、通常用いられるフォトリソグラフィ技術により、図示しないレジストパターンを形成する。そして、この図示しないレジストパターンをマスクにして、導電層12のエッチングを行う。これにより、エッチングにより導電層12の残った部分として、画素電極及び所定の電極同士を接続する配線パターンが形成される。

【0096】以下の工程は、従来例の図27においてされた説明と同様なため、説明を省略する。第2の実施形態による液晶表示装置の蓄積容量素子CQ11～蓄積容量素子CQnmの構造としては、補助電極PH2を、異なったフォトレジストをマスクとしてパターン形成を行った、金属層MM3と金属層MM4との2層構成で形成している点が従来例とは異なる。

【0097】薄膜トランジスタTR11～薄膜トランジスタTRnmのドレイン電極PD2及びソース電極PS2の構造は、金属層MM3あるいは金属層MM4の単層で形成しても良いし、金属層MM3と金属層MM4との積層で形成しても良い。さらに、上述した金属層MM3と金属層MM4とは、同じ種類の材質で構成されても良いし、異なった材質で構成されても良い。

【0098】これにより、金属層MM3と金属層MM4とを重ねて形成するため、成膜欠陥が同じ場所で重なる確率は非常に低くなり、金属層MM3と金属層MM4とが、ゲートバスラインパターン4上の保護絶縁膜11のエッチングにおけるストッパーとなる。この結果、第2の実施形態の液晶表示装置では、補助電極PH2の形成における成膜時に生成される成膜欠陥に基づき、コンタクトホールCTがゲートバスラインパターン4まで到達する事が無く、画素電極と補助電極PH2とゲートバスラインパターン4との導電層12による短絡が起こら

ず、点欠陥となることがない。

【0099】また、第2の実施形態の液晶表示装置は、金属層MM3と金属層MM4とを異なったフォトレジストをマスクとして、別々に補助電極PH2のパターン形成を行うため、フォトレジストの気泡混入の欠陥などにより、補助電極PH2の金属層MM3と金属層MM4とのエッチングの際に、金属層MM3及び金属層MM4のそれぞれに膜欠陥が形成されても、金属層MM3と金属層MM4とに形成された膜欠陥が同じ場所で重なる確立は非常に低くなる。この結果、第2の実施形態の液晶表示装置によれば、補助電極PH2の形成におけるエッチング時に生成される膜欠陥に基づき、コンタクトホールCTがゲートバスラインパターン4まで到達する事が無く、画素電極と補助電極PH2とゲートバスラインパターン4との導電層12による短絡が起こらず、点欠陥となることがない。

【0100】さらに、第2の実施形態の液晶表示装置によれば、補助電極PH2がゲートバスラインパターン4の上部にあるため、ゲートバスラインパターン4以外に開口率を減少させることがなく、所定の開口率を確保する事が可能となる。加えて、第2の実施形態の液晶表示装置によれば、蓄積容量素子CQ11～蓄積容量素子CQnmは、金属／絶縁膜／金属層で形成されているため、MIS容量が無く、所定の電荷蓄積の容量を確保できる効果がある。

【0101】第2の実施形態では、金属層MM3のパターニング工程と金属層MM4とのパターニング工程とを別々に行っている。よって、各々の金属層に成膜欠陥やレジストパターンの欠陥があったとしても、それらの欠陥が重なり、しかもコンタクトホールの位置と一致する確率は極めて小さい。よって、成膜欠陥やレジストパターンの欠陥に起因する短絡不良は殆ど発生しない。しかし、これらの金属層MM3及び金属層MM4の加工のために従来よりも1マスク増やさねばならないため、工程数が増えてしまう。そこで、第3の実施形態では、工程数を増やさずに成膜欠陥とレジストパターンの欠陥との両方に起因する短絡不良を解決するものである。

【0102】＜第3の実施形態＞次に、図14～図19を用いて第3の実施形態による液晶表示装置の構造及び製造方法を説明する。図14は、図20の画素Cの画素分の領域を拡大した図である。図20の蓄積容量素子C11と第2の実施形態における蓄積容量素子CR11（蓄積容量素子CR12～蓄積容量素子CRnm）との構造は、異なっており、以下製造方法の説明とともに構造について説明する。

【0103】図15～図19は、図20及び図14において、製造過程または完成した線分A-AにおけるA-A断面図を示すものである。また、図15～図19は、図20における矢印の方向から見た図である。図15において、透明のガラス基板1の表面に、例えば1400

オングストロームの厚さの導電層MT1を、スパッタリングまたはCVD（化学的気相成長）法などの技術により堆積させる。ここで、導電層MT1は、Cr（クロム）、Al（アルミニウム）、W（タングステン）、Mo（モリブデン）、Cu（銅）、Ta（タンタル）、Ta₂N₅（窒化タンタル）等の金属の単層膜により、又はこれらの金属を主成分とする合金材料により、もしくは積層膜等により形成される。

【0104】次に、この導電層MT1の表面のゲート電極等が形成される領域に、通常用いられるフォトリソグラフィ技術により、図示しないレジストパターンを形成する。そして、この図示しないレジストパターンをマスクにして、導電層MT1のエッチングを行う。これにより、端子パターン2、ゲート電極パターン3及びゲートバスラインパターン4が形成される。

【0105】次に、図16において、ゲート絶縁膜5を、例えば、1500オングストロームの厚さのシリコン酸化膜（SiO₂）の層、及び3250オングストロームの厚さのシリコン窒化膜（Si₃N₄）の層を順次積層して形成する。ここで、絶縁膜を構成する材料として、他にSi₃N₄O₂、酸化アルミニウム（Al₂O₃）や酸化タンタル（Ta₂O₅）等の金属酸化膜、ポリイミドやベンゾシクロブテン（BCB：Benzocyclobutane）等の有機絶縁膜あるいはそれらの積層膜を用いることもできる。

【0106】そして、ゲート絶縁膜5の表面に、薄膜トランジスタ（図20における薄膜トランジスタTR11～薄膜トランジスタTRnm）となるi（イントリンシック）型のa-Si（アモルファスシリコン）層6及びn型のn+型a-Si層7を順次積層する。

【0107】次に、このn+型a-Si層7の表面の薄膜トランジスタ及び蓄積容量素子（図20参照蓄積容量素子CR11～蓄積容量素子CRnm）が形成される領域に、通常用いられるフォトリソグラフィ技術により、図示しないレジストパターンを形成する。そして、この図示しないレジストパターンをマスクにして、a-Si層6及びn+型a-Si層7のエッチングを行う。これにより、薄膜トランジスタ及び蓄積容量素子のコンタクトホールCT形成予定の位置にa-Si層6及びn+型a-Si層7のパターンが形成される。

【0108】次に、図17において、n+型a-Si層7の表面及びゲート絶縁膜5の表面に、薄膜トランジスタのゲート電極、ソース電極及び蓄積容量素子（図20における蓄積容量素子CS11～蓄積容量素子CSnm）の他の端子となる補助電極の材料となる導電層の、厚さが1400オングストロームの金属層MM5がスパッタリング又はCVD法等により堆積される。ここで、金属層MM5は、Cr（クロム）、Al（アルミニウム）、W（タングステン）、Mo（モリブデン）、Cu（銅）、Ta（タンタル）、Ta₂N₅（窒化タンタル）等の金属の単層膜により、又はこれらの金属を主成分とする合金材料に

より、もしくはこれらの金属の積層膜等により形成される。

【0109】そして、この金属層MM5の表面に蓄積容量素子の補助電極が形成される領域に、通常用いられるフォトリソグラフィ技術により、図示しないレジストパターンを形成する。そして、この図示しないレジストパターンをマスクにして、金属層MM5のエッチングを行う。これにより、薄膜トランジスタのドレイン及びソース電極PS3のパターンが形成され、蓄積容量素子の端子パターンの位置に補助電極PH3の上部層となる金属層MM5のパターンが形成される。しかる後、薄膜トランジスタTR11（薄膜トランジスタTR12～薄膜トランジスタTRnm）のチャネル領域上に残っているn+型a-Si層7を除去する。

【0110】次に、図18において、保護絶縁膜11が、2000オングストロームの厚さでスパッタリング又はCVD法などにより、ドレイン電極PD3、ソース電極PS3及び補助電極PH3の表面と、ゲート絶縁膜5の表面とに堆積される。ここで、絶縁膜を構成する材料として、シリコン窒化膜（Si₃N₄）、シリコン酸化膜（SiO₂）、シリコン酸化窒化膜（Si₃N₄O₂）、他に、酸化アルミニウム（Al₂O₃）や酸化タンタル（Ta₂O₅）等の金属酸化膜、ポリイミドやベンゾシクロブテン（BCB：Benzocyclobutane）等の有機絶縁膜あるいはこれらの積層膜を用いることもできる。

【0111】次に、この保護絶縁膜11のコンタクトホールが形成される所定の領域に、通常用いられるフォトリソグラフィ技術により、図示しないレジストパターンを形成する。そして、この図示しないレジストパターンをマスクにして、保護絶縁膜11のエッチングを行う。これにより、保護絶縁膜11の所定の位置にコンタクトホールCTのパターンが形成される。

【0112】このとき、蓄積容量素子CR11（蓄積容量素子CR12～蓄積容量素子CRnm）の補助電極PH3の表面、すなわち金属MM5の表面を露出させる場合には、保護絶縁膜11のみをエッチングで除去するだけで良いのだが、端子パターン2の表面を露出させる場合には、保護絶縁膜11及びゲート絶縁膜5の双方をエッチングにより除去する必要がある。

【0113】そして、金属MM5の表面の露出と端子パターン2の表面の露出とが同じエッチング工程で行われるため、保護絶縁膜11のエッチングによる除去が終了し、金属MM5の表面が露出されてから、ゲート絶縁膜5がエッチングにより除去され、端子パターン2の表面が露出されるまで、金属MM5に対するコンタクトホールCTはオーバーエッチングされる。このため、金属MM5に対するコンタクトホールCTは、フォトリソによるパターンの形状に比較して横方向に寸法が広がることになる。

【0114】ここで作成される、蓄積容量素子CQ11（蓄積容量素子CQ12～蓄積容量素子CQnm）の形成領域におけるコンタクトホールCTの開口部と、補助電極PH3におけるa-Si層6及びn型a-Si層7のパターンとの位置関係は、図14に示すように、コンタクトホールCTの開口部（周縁）がa-Si層6及びn型a-Si層7のパターン内部へ距離「d」入り込んだ状態となっている。

【0115】この距離「d」は、コンタクトホールCTとa-Si層6及びn型a-Si層7のパターンとの製造時の位置ずれによる誤差を見込んだ余裕寸法、及び端子パターン2までコンタクトホールをエッチングするためのオーバーエッチングにより、コンタクトホールが横方向に増加する距離とを加えたものである。また、距離「d」をあまり大きくすると、a-Si層6及びn型a-Si層7のパターンが大きくなり、蓄積容量素子CQ11（蓄積容量素子CQ12～蓄積容量素子CQnm）におけるMIS容量が増加し、面積比において容量値が低下し、所定の容量が得られないことになる。したがって、距離「d」は、製造時の位置ずれによる誤差を見込んだ余裕寸法と、オーバーエッチングでコンタクトホールが横方向に増加する距離とを加えた値とする必要がある。

【0116】次に、図19において、保護絶縁膜11の表面と、コンタクトホールCTにより露出されている端子パターン2の表面、ソース電極PS3のパターンの表面及び金属層MM5の表面とに、スパッタリングなどにより透明な導電層（ITO：Indium Tin Oxide）12が、400オングストロームの厚さで形成される。

【0117】この導電層12の画素電極及び配線パターンとなる所定の領域に、通常用いられるフォトリソグラフィ技術により、図示しないレジストパターンを形成する。そして、この図示しないレジストパターンをマスクにして、導電層12のエッチングを行う。これにより、エッチングにより導電層12の残った部分として、画素電極及び所定の電極同士を接続する配線パターンが形成される。

【0118】以下の工程は、従来例の図27においてされた説明と同様のため、説明を省略する。第3の実施形態による液晶表示装置の蓄積容量素子CR11～蓄積容量素子CRnm（図20参照）の構造としては、金属層MM4の下部に、薄膜トランジスタの形成材料であるa-Si層6及びn型a-Si層7をエッチングストッパーとして形成し、補助電極PH3を構成した点が従来例とは異なる。また、薄膜トランジスタTR11～薄膜トランジスタTRnmのドレイン電極PD3及びソース電極PS3の構造は、単層あるいは積層の金属層MM5により形成され、1マスクを用いてエッチング処理される。

【0119】これにより、第3の実施形態の液晶表示装置は、コンタクトホールCTが形成される金属層MM5の下層に、薄膜トランジスタの形成材料であるa-Si

層6及びn型a-Si層7がエッチングストッパーとして形成されているため、金属層MM5の形成時における成膜欠陥、及びフォトレジストの気泡混入の欠陥などにより、金属層MM5に膜欠陥が存在する場合でも、オーバーエッチングにおけるストッパーとして働き、蓄積容量素子の領域において、コンタクトホールCTがゲートバスラインパターン4まで到達する事が無く、画素電極と補助電極PH3とゲートバスラインパターン4との導電層12による短絡が起こらず、点欠陥となることがない。

【0120】さらに、第3の実施形態の液晶表示装置によれば、補助電極PH3がゲートバスラインパターン4の上部にあるため、ゲートバスラインパターン4以外に開口率を減少させることがなく、所定の開口率を確保する事が可能となる。加えて、第2の実施形態の液晶表示装置によれば、蓄積容量素子CR11～蓄積容量素子CRnmは、コンタクトホールCTの開口部に対して、オーバーエッチングにおけるストッパーとなるa-Si層6及びn型a-Si層7のパターンを、液晶表示装置の製造上の必要最小限の所定の面積において作成しているため、MIS容量が少なくでき、多くの部分が金属／絶縁膜／金属層で形成されているので、所定の電荷蓄積の容量を確保できる効果がある。

【0121】加えて、第3の実施形態の液晶表示装置によれば、ストッパーとなるa-Si層6及びn型a-Si層7のパターンが薄膜トランジスタの形成材料で構成されているため、薄膜トランジスタと同時に形成することが出来るので、新たなプロセスを必要とせず、製造工程を増加させずに、効果的なストッパーを得ることが出来る。

【0122】以上、蓄積容量素子をゲートバスラインパターン4と補助電極PH1（補助電極PH2、補助電極PH3）との間で形成する例で説明したが、第1の実施形態～第3の実施形態は、従来技術で説明した他の従来例の様に、ゲートバスラインパターン4とは異なる共通電位線パターンを、ゲートバスラインパターン4と平行に設け、この共通電位線パターンと補助電極PH1（補助電極PH2、補助電極PH3）との間で蓄積容量素子を形成する場合にも同様に適用することができる。

【0123】また、本発明の一実施形態を図面を参照して詳述してきたが、具体的な構成はこの実施形態に限られるものではなく、本発明の要旨を逸脱しない範囲の設計変更等があっても本発明に含まれる。

【0124】

【発明の効果】請求項1に記載の発明によれば、絶縁性の基板の表面にマトリクス状に形成された複数のデータ線及びデータ選択線と、このデータ線とデータ選択線との交点毎に形成されたトランジスタと、このトランジスタを介して前記データ線に接続された画素電極と、前記トランジスタを介して前記データ線に接続された蓄積容

10

20

30

40

50

量素子とを具備し、前記蓄積容量素子が、少なくとも、前記基板の表面に導電性材料により形成された第1の電極と、この第1の電極の表面に形成された第1の絶縁膜と、この絶縁膜の表面に、第1の金属材料で堆積された第1の導電層と、第2の金属材料で堆積された第2の導電層とが、同一形状に加工され、重ね合わされて形成された第2の電極とから形成され、前記第1の電極の上方の重なる位置において、前記第2の電極が前記画素電極と接続されているため、第1の導電層と第2の導電層との成膜欠陥が同じ場所で重なる確立は非常に低くなり、第1の導電層と第2の導電層とが、第1の電極上の絶縁膜のエッチングにおけるストッパーとなり、前記第2の電極と前記画素電極とを接続するためのコンタクトホールが第1の電極まで到達する事が無く、第1の電極と第2の電極とのコンタクトホールを介した短絡不良が起こらず、蓄積容量素子における短絡不良の発生を防止することが可能となり、かつ、薄膜トランジスタと同時に形成することが出来るので、新たなプロセスを必要とせず、製造工程を増加させずに、効果的なストッパーを得ることが出来、前記第2の電極が前記第1の電極の直上に形成されているため、前記第1の電極以外に開口率を減少させることがなく、所定の開口率を確保する事が可能となる。

【0125】請求項2に記載の発明によれば、絶縁性の基板の表面にマトリクス状に形成された複数のデータ線及びデータ選択線と、このデータ線とデータ選択線との交点毎に形成されたトランジスタと、このトランジスタを介して前記データ線に接続された画素電極と、前記トランジスタを介して前記データ線に接続された蓄積容量素子とを具備し、前記蓄積容量素子が、少なくとも、前記基板の表面に導電性材料により形成された第1の電極と、この第1の電極の表面に形成された第1の絶縁膜と、この絶縁膜の表面に、第1の金属材料で堆積された第1の導電層と、第2の金属材料で堆積された第2の導電層とが、異なった形状に加工され、重ね合わされて形成された第2の電極とから形成され、前記第1の電極の上方の重なる位置において、前記第2の電極が前記画素電極と接続されているため、第1の導電層と第2の導電層との成膜欠陥が同じ場所で重なる確立は非常に低くなり、第1の導電層と第2の導電層とが、第1の電極上の絶縁膜のエッチングにおけるストッパーとなり、前記第2の電極と前記画素電極とを接続するためのコンタクトホールが第1の電極まで到達する事が無く、第1の電極と第2の電極とのコンタクトホールを介した短絡不良が起こらず、蓄積容量素子における短絡不良の発生を防止することが可能となり、かつ、前記第2の電極が前記第1の電極の直上に形成されているため、前記第1の電極以外に開口率を減少させることがなく、所定の開口率を確保する事が可能となる。

【0126】請求項3に記載の発明によれば、前記第2

の電極と前記画素電極との間に介挿された第2の絶縁膜において、前記第2の電極と前記画素電極とを接続するコンタクトホールが、前記第1の電極の上方の重なる位置に形成され、このコンタクトホールの周縁が前記第1の導電層の周縁の内側に所定の距離を有して形成されているため、前記コンタクトホールが前記第1の電極まで到達する事が無く、前記第1の電極と前記第2の電極とが前記画素電極（透明導電層）により短絡することがなく、蓄積容量素子の短絡不良の発生を防止することができる。

【0127】請求項4に記載の発明によれば、前記距離が前記第1の導電層及び前記コンタクトホールの製造工程における寸法余裕により決定される値であるため、前記コンタクトホールが前記第1の電極まで到達する事が無く、前記第1の電極と前記第2の電極とが前記画素電極（透明導電層）により短絡することがなく、蓄積容量素子の短絡不良の発生を防止することができる。

【0128】請求項5記載の発明によれば、絶縁性の基板の表面に導電性材料により第1の電極を形成する第1の工程と、前記第1の電極の表面に第1の絶縁膜を形成する第2の工程と、トランジスタが形成される領域の、前記第1の絶縁膜の表面における第1の電極と重なる位置に半導体層を形成する第3の工程と、前記半導体層における前記トランジスタのソース及びドレインとなる部分、及び蓄積容量素子となる領域の、前記第1の絶縁膜表面における第1の電極と重なる位置に第1の導電層を形成する第4の工程と、前記第1の導電層の表面に第2の導電層を形成する第5の工程と、前記第1の絶縁膜表面及び前記第2の導電層の表面に第2の絶縁層を形成する第5の工程と、前記第2の導電層表面の前記第2の絶縁層の所定の領域をエッチングしてコンタクトホールを形成する第6の工程と、前記コンタクトホールを含めて前記第2の絶縁層の表面に堆積された透明導電層をパターンニングし、前記コンタクトホール介して、所定の前記第2の導電層同士を接続する配線パターンを形成する第7の工程とを有するため、第1の導電層と第2の導電層との成膜欠陥が同じ場所で重なる確立は非常に低くなり、第1の導電層と第2の導電層とが、第1の電極上の絶縁膜のエッチングにおけるストッパーとなり、前記コンタクトホールが第1の電極まで到達する事が無く、第1の電極と第2の電極とのコンタクトホールを介した短絡不良が起こらず、蓄積容量素子における短絡不良の発生を防止することが可能となる。

【0129】請求項6に記載の発明によれば、絶縁性の基板の表面に導電性材料により第1の電極を形成する第1の工程と、前記第1の電極の表面に第1の絶縁膜を形成する第2の工程と、トランジスタが形成される領域の、前記第1の絶縁膜の表面における第1の電極と重なる位置に半導体層を形成する第3の工程と、前記第1の絶縁膜表面及び前記半導体層の表面に第1の導電層を形

成する第4の工程と、前記第1の導電層の表面に第2の導電層を形成する第5の工程と、前記半導体層における前記トランジスタのソース及びドレインとなる部分、及び蓄積容量素子となる領域の、前記第1の絶縁膜表面における第1の電極と重なる位置に、前記第1の導電層と第2の導電層とのパターンを形成する第6の工程と、前記第1の絶縁膜表面及び前記第2の導電層の表面に第2の絶縁層を形成する第7の工程と、前記第2の導電層表面の前記第2の絶縁層の所定の領域をエッチングしてコンタクトホールを形成する第8の工程と、前記コンタクトホールを含めて前記第2の絶縁層の表面に堆積された透明導電層をパターンニングし、前記コンタクトホール介して、所定の前記第2の導電層同士を接続する配線パターンを形成する第9の工程とを有するため、第1の導電層と第2の導電層との成膜欠陥が同じ場所で重なる確立は非常に低くなり、第1の導電層と第2の導電層とが、第1の電極上の絶縁膜のエッチングにおけるストッパーとなり、前記コンタクトホールが第1の電極まで到達する事が無く、第1の電極と第2の電極とのコンタクトホールを介した短絡不良が起らず、蓄積容量素子における短絡不良の発生を防止することが可能となり、また、前記コンタクトホールが前記第1の電極の上方に重なるように形成されているので、前記第1の電極以外に開口率を減少させることが無く、所定の開口率を確保することが可能となる。

【0130】請求項7に記載の発明によれば、絶縁性の基板の表面にマトリクス状に形成された複数のデータ線及びデータ選択線と、このデータ線とデータ選択線との交点毎に形成されたトランジスタと、このトランジスタを介して前記データ線に接続された画素電極と、前記トランジスタを介して前記データ線に接続された蓄積容量素子とを具備し、前記蓄積容量素子が、少なくとも、前記基板の表面に導電性材料により形成された第1の電極と、この第1の電極の表面に形成された第1の絶縁膜と、この第1の絶縁膜の表面の、前記第1の電極の上方の重なる位置に形成された半導体層と、この半導体層の表面に、異なった形状で加工され、重ね合わされて形成された第2の電極とから形成され、前記半導体層の上方の重なる位置において、前記第2の電極が前記画素電極と接続されているため、前記第2の電極と前記画素電極とを接続するコンタクトホールが前記第1の電極まで到達する事が無く、前記第1の電極と前記第2の電極とが前記透明導電層により短絡することがなく、蓄積容量素子の短絡不良の発生を防止することが可能となり、かつ、このコンタクトホールが前記第1の電極の上部に形成されているので、前記第1の電極以外に開口率を減少させることがなく、所定の開口率を確保する事が可能となる。

【0131】請求項8に記載の発明によれば、前記第2の電極と前記画素電極との間に介挿された第2の絶縁膜

において、前記第2の電極と前記画素電極とを接続するコンタクトホールが前記半導体層の上方の重なる位置に形成され、このコンタクトホールの周縁が前記半導体層の周縁の内側に所定の距離を有して形成されているため、前記コンタクトホールが前記第1の電極まで到達する事が無く、前記第1の電極と前記第2の電極とが前記透明導電層により短絡することがなく、蓄積容量素子の短絡不良の発生を防止することができ、コンタクトホールの開口部に対して、オーバーエッチングにおけるストッパーとなる前記半導体層を、液晶表示装置の製造上の必要最小限の所定の面積において作成しているため、MIS容量が少なくでき、多くの部分が金属/絶縁膜/金属層で形成されているので、所定の電荷蓄積の容量を確保できる効果がある。

【0132】請求項9に記載の発明によれば、前記距離が前記半導体層及び前記コンタクトホールの製造工程における寸法余裕により決定される値であるため、コンタクトホールの開口部に対して、オーバーエッチングにおけるストッパーとなる前記半導体層を、液晶表示装置の製造上の必要最小限の所定の面積において作成しているため、MIS容量が少なくでき、多くの部分が金属/絶縁膜/金属層で形成されているので、所定の電荷蓄積の容量を確保できる効果がある。

【0133】請求項10に記載の発明は、請求項7ないし請求項9のいずれかに記載の液晶表示装置において、前記半導体層が前記トランジスタを形成する半導体層と同一の層から形成されているため、薄膜トランジスタと同時に形成することが出来るので、新たなプロセスを必要とせず、製造工程を増加させずに、効果的なストッパーを得ることが出来る。

【0134】請求項11に記載の発明によれば、絶縁性の基板の表面に導電性材料により第1の電極を形成する第1の工程と、前記第1の電極の表面に第1の絶縁膜を形成する第2の工程と、トランジスタが形成される領域の、前記第1の絶縁層の表面における第1の電極の上部、及び、蓄積容量素子の形成される領域の、前記第1の絶縁層の表面における第1の電極の上部に半導体層が形成される第3の工程と、前記第1の絶縁層表面及び前記半導体層の表面に導電層を形成する第4の工程と、前記半導体層における前記トランジスタのソース及びドレインとなる部分、及び蓄積容量素子となる領域の、前記第1の絶縁層表面における第1の電極と重なる位置に、前記導電層のパターンを形成する第5の工程と、前記第1の絶縁層表面及び前記導電層の表面に第2の絶縁層を形成する第6の工程と、前記導電層表面の前記第2の絶縁層の所定の領域をエッチングしてコンタクトホールを形成する第7の工程と、前記コンタクトホールを含めて前記第2の絶縁層の表面に堆積された透明導電層をパターンニングし、前記コンタクトホール介して、所定の前記導電層同士を接続する配線パターンを形成する第8

の工程とを有するため、前記コンタクトホールが前記第1の電極まで到達する事が無く、前記第1の電極と前記第2の電極とが前記透明導電層により短絡することがなく、蓄積容量素子の短絡不良の発生を防止することが可能となる。

【0135】請求項12記載の発明によれば、前記コンタクトホールが前記半導体層の上方の重なる位置に形成され、このコンタクトホールの周縁が前記半導体層の周縁の内側に所定の距離を有して形成されているため、前記コンタクトホールが前記第1の電極まで到達する事が無く、前記第1の電極と前記第2の電極とが前記透明導電層により短絡することがなく、蓄積容量素子の短絡不良の発生を防止でき、コンタクトホールの開口部に対して、オーバーエッチングにおけるストッパーとなる前記半導体層を、液晶表示装置の製造上の必要最小限の所定の面積において作成しているため、MIS容量が少なくでき、多くの部分が金属/絶縁膜/金属層で形成されているので、所定の電荷蓄積の容量を確保できる効果がある。

【0136】請求項13記載の発明によれば、前記距離が前記半導体層及び前記コンタクトホールの製造工程における寸法余裕により決定される値であるため、コンタクトホールの開口部に対して、オーバーエッチングにおけるストッパーとなる前記半導体層を、液晶表示装置の製造上の必要最小限の所定の面積において作成しているため、MIS容量が少なくでき、多くの部分が金属/絶縁膜/金属層で形成されているので、所定の電荷蓄積の容量を確保できる効果がある。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態における液晶表示装置の画素周辺の構造を示す平面図である。

【図2】 第1の実施形態における液晶表示装置の製造過程を説明する、図1におけるA-A断面図である。

【図3】 第1の実施形態における液晶表示装置の製造過程を説明する、図1におけるA-A断面図である。

【図4】 第1の実施形態における液晶表示装置の製造過程を説明する、図1におけるA-A断面図である。

【図5】 第1の実施形態における液晶表示装置の製造過程を説明する、図1におけるA-A断面図である。

【図6】 第1の実施形態における液晶表示装置の製造過程を説明する、図1におけるA-A断面図である。

【図7】 本発明の第2の実施形態における液晶表示装置の画素周辺の構造を示す平面図である。

【図8】 第2の実施形態における液晶表示装置の製造過程を説明する、図7におけるA-A断面図である。

【図9】 第2の実施形態における液晶表示装置の製造過程を説明する、図7におけるA-A断面図である。

【図10】 第2の実施形態における液晶表示装置の製造過程を説明する、図7におけるA-A断面図である。

【図11】 第2の実施形態における液晶表示装置の製

造過程を説明する、図7におけるA-A断面図である。

【図12】 第2の実施形態における液晶表示装置の製造過程を説明する、図7におけるA-A断面図である。

【図13】 第2の実施形態における液晶表示装置の製造過程を説明する、図7におけるA-A断面図である。

【図14】 本発明の第3の実施形態における液晶表示装置の画素周辺の構造を示す平面図である。

【図15】 第3の実施形態における液晶表示装置の製造過程を説明する、図14におけるA-A断面図である。

【図16】 第3の実施形態における液晶表示装置の製造過程を説明する、図14におけるA-A断面図である。

【図17】 第3の実施形態における液晶表示装置の製造過程を説明する、図14におけるA-A断面図である。

【図18】 第3の実施形態における液晶表示装置の製造過程を説明する、図14におけるA-A断面図である。

【図19】 第3の実施形態における液晶表示装置の製造過程を説明する、図14におけるA-A断面図である。

【図20】 液晶表示装置の構成を示す平面図である。

【図21】 図20の液晶表示装置の等価回路を示す概念図である。

【図22】 従来例における液晶表示装置の製造過程を説明する、図20におけるA-A断面図である。

【図23】 従来例における液晶表示装置の製造過程を説明する、図20におけるA-A断面図である。

【図24】 従来例における液晶表示装置の製造過程を説明する、図20におけるA-A断面図である。

【図25】 従来例における液晶表示装置の製造過程を説明する、図20におけるA-A断面図である。

【図26】 従来例における液晶表示装置の製造過程を説明する、図20におけるA-A断面図である。

【図27】 従来例における液晶表示装置の製造過程を説明する、図20におけるA-A断面図である。

【図28】 製造プロセスにおいて、短絡不良の発生メカニズムを説明する図20のB-B断面図である。

【図29】 製造プロセスにおいて、短絡不良の発生メカニズムを説明する図20のB-B断面図である。

【図30】 製造プロセスにおいて、短絡不良の発生メカニズムを説明する図20のB-B断面図である。

【図31】 製造プロセスにおいて、短絡不良の発生メカニズムを説明する図20のB-B断面図である。

【図32】 製造プロセスにおいて、短絡不良の発生メカニズムを説明する図20のB-B断面図である。

【図33】 製造プロセスにおいて、短絡不良の発生メカニズムを説明する図20のB-B断面図である。

【図34】 製造プロセスにおいて、短絡不良の発生メ

カニズムを説明する図20のB-B断面図である。

【図35】 製造プロセスにおいて、短絡不良の発生メカニズムを説明する図20のB-B断面図である。

【図36】 製造プロセスにおいて、短絡不良の発生メカニズムを説明する図20のB-B断面図である。

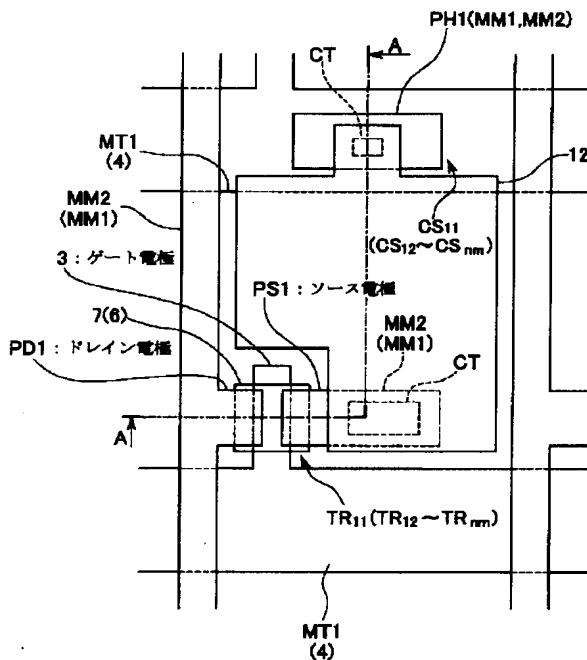
【図37】 他の従来例による液晶表示装置の構成を示す平面図である。

【図38】 他の従来例における液晶表示装置の製造過程を説明する、図37におけるA-A断面図である。

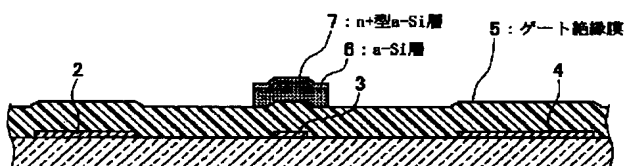
【符号の説明】

- 1 絶縁性基板
- 2 端子（端子パターン）
- 3 ゲート電極（ゲート電極パターン）
- 4 ゲートバスライン（ゲートバスラインパターン）
- * 5 ゲート絶縁膜
- 6 a-Si層
- 7 n+型a-Si層
- 11 保護絶縁膜
- 12 導電層
- CT コンタクト
- CS11~CSnm, CQ11~CQnm, CR11~CRnm 蓄積容量素子
- G 画素
- 10 TR11~TRnm 薄膜トランジスタ
- PD1, PD2, PD3 ドレイン電極
- PS1, PS2, PS3 ソース電極
- PH1, PH2, PH3 補助電極

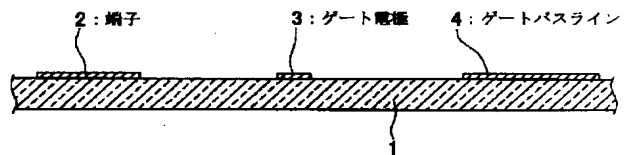
【図1】



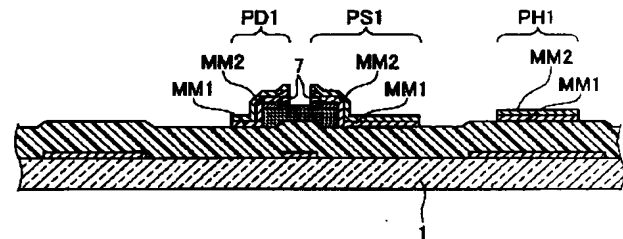
【図3】



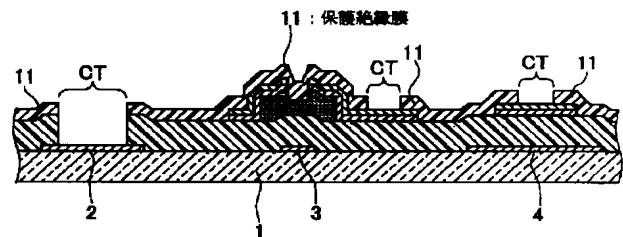
【図2】



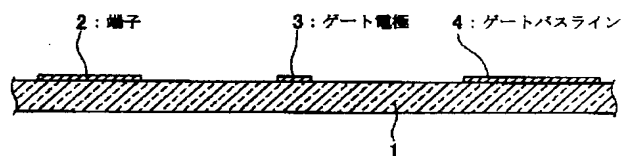
【図4】

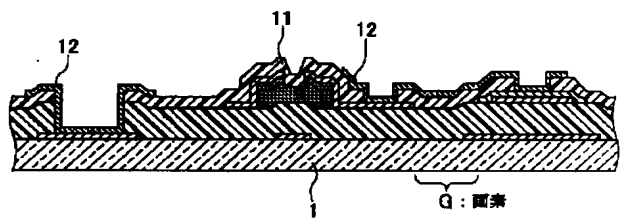
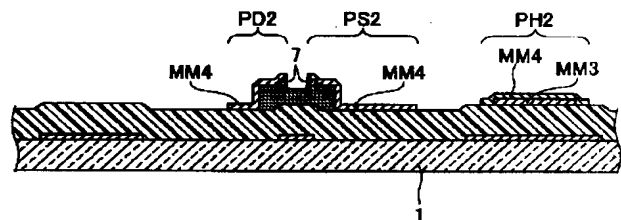
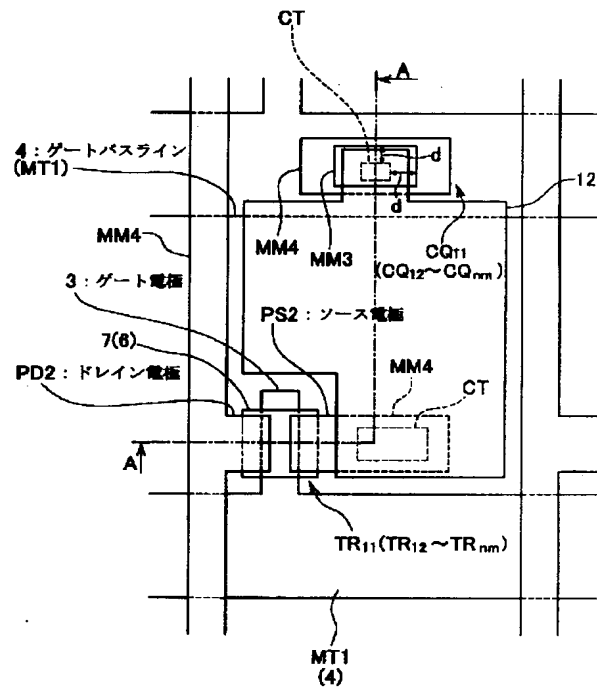
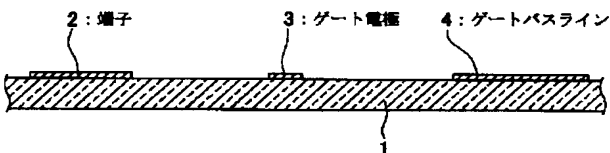
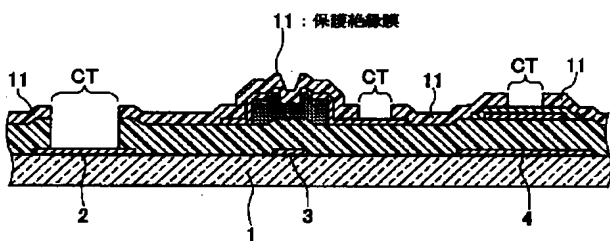
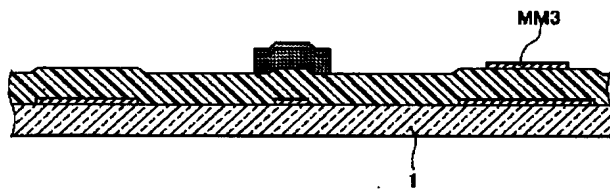
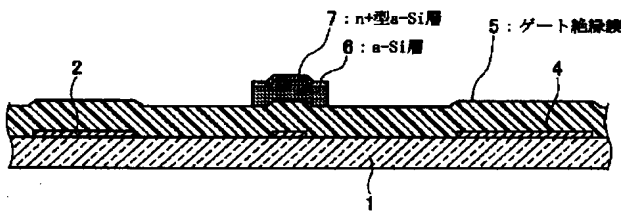
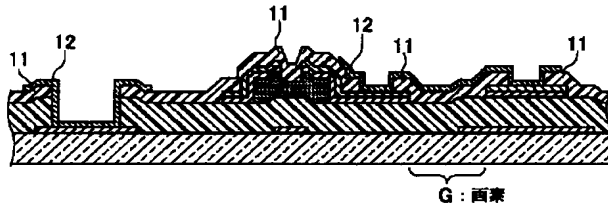


【図5】

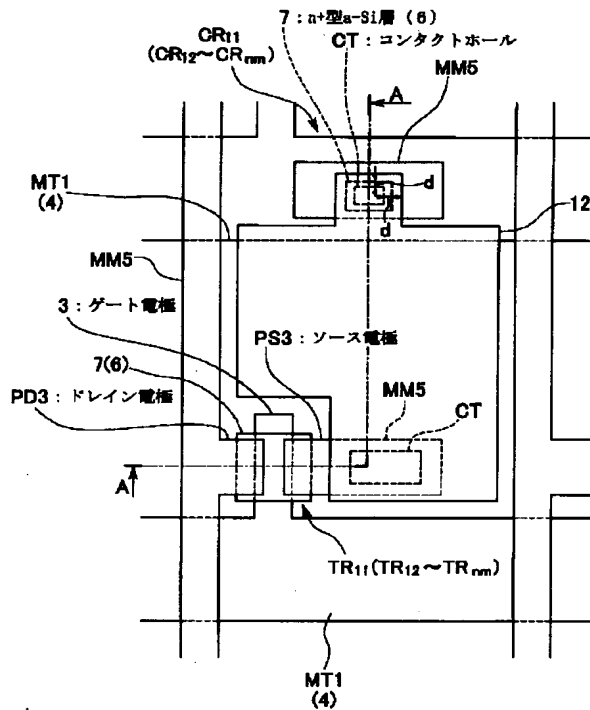


【図8】

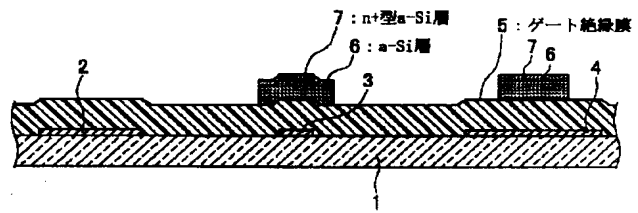




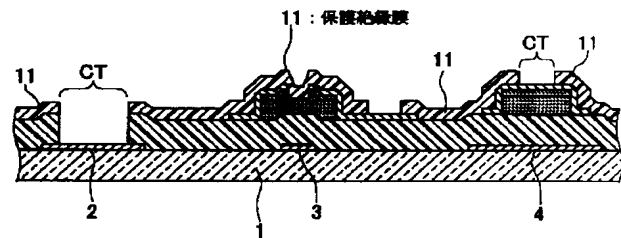
【図14】



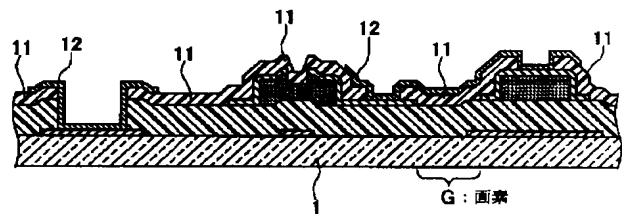
【図16】



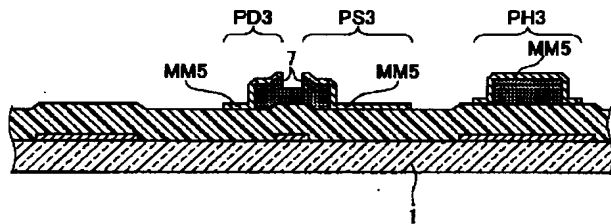
【図18】



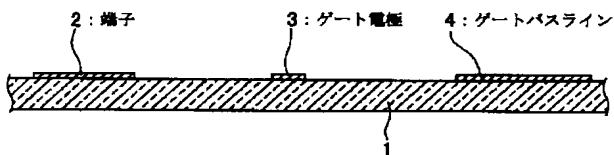
【図19】



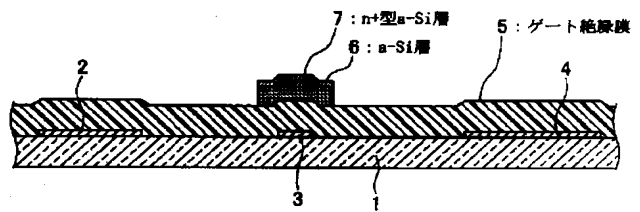
【図17】



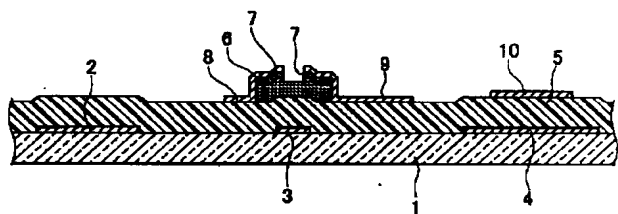
【図22】



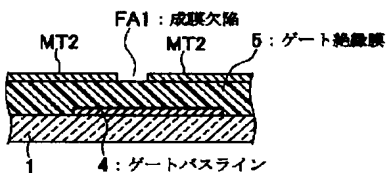
【図23】



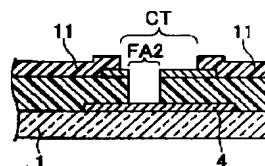
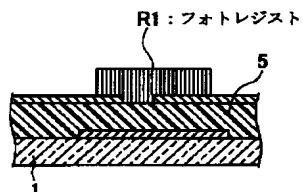
【図24】



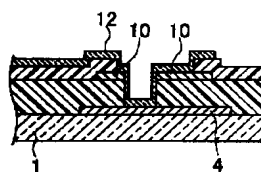
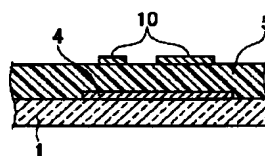
【図28】



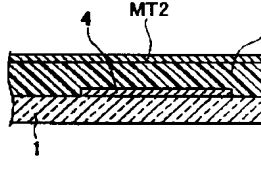
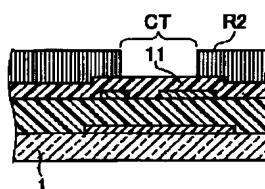
【图 3-2】



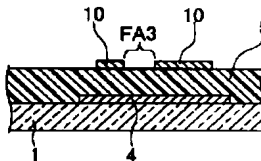
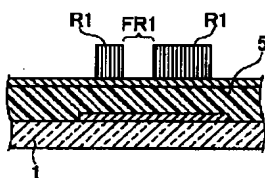
【図 3 3】



【图 3-4】



【図 3 6】



【图 2-6】

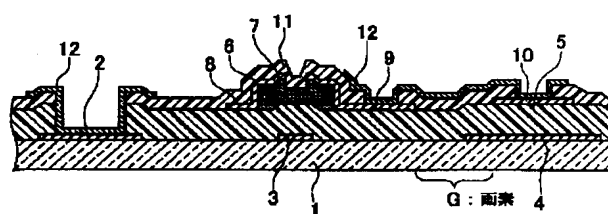
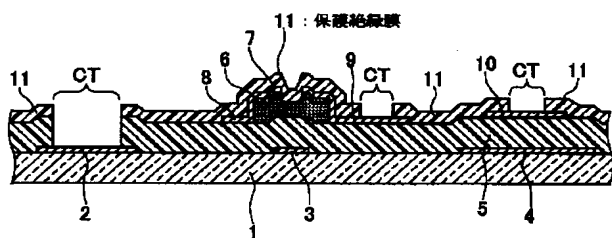
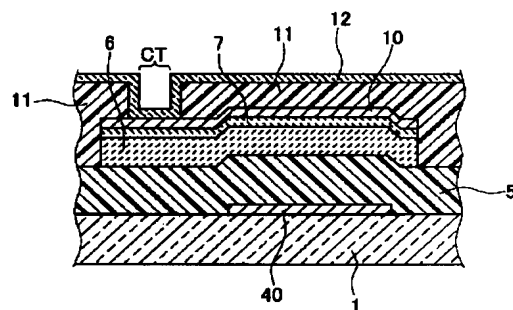
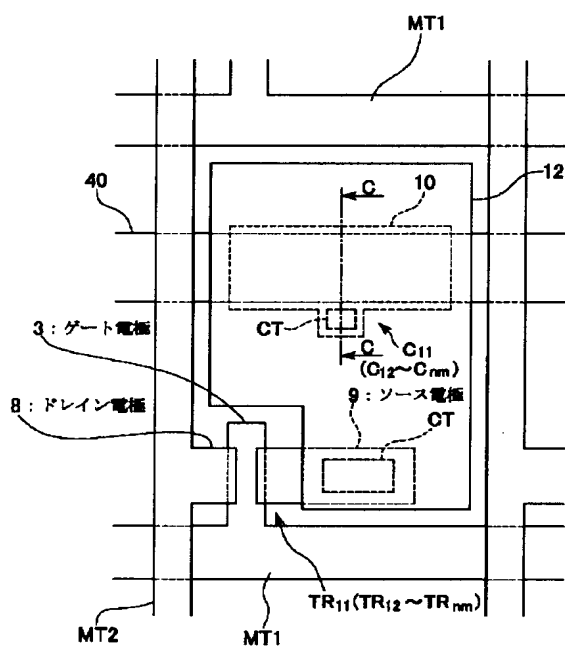


Figure 1 is a cross-sectional view of a liquid crystal display (LCD) assembly. The assembly consists of a top substrate (CB: TFT substrate) and a bottom substrate (K: TFT substrate). The top substrate includes a polarizing plate (25), glass substrate (20), black matrix (21), color layer (22), and counter electrode (23). The bottom substrate includes a polarizing plate (15), glass substrate (1), alignment film (5), and counter electrode (11). A liquid crystal layer (14) is sandwiched between the two substrates. A pixel region is shown with a pixel electrode (8) and a common electrode (9).

【図 3 8】



(72)発明者 飯田 貴康
東京都港区芝五丁目7番1号 日本電気株
式会社内

F ターム(参考) 2H090 HB08Y HC05 HC15 HD14
JB02 JC17 JD14 KA05 LA04
MA04 MB02
2H092 JA26 JA29 JA33 JA35 JA38
JA42 JA43 JA44 JA46 JB13
JB23 JB27 JB32 JB33 JB36
JB38 JB51 JB57 JB63 JB69
KA05 KA07 KA16 KA18 KB23
KB24 MA05 MA08 MA14 MA15
MA16 MA18 MA19 MA20 MA22
MA27 MA35 MA37 MA41 NA07
NA25 NA27 NA28 PA02 PA08
QA07
5F110 BB01 CC07 DD02 EE01 EE02
EE03 EE04 EE06 EE44 EE45
FF01 FF02 FF03 FF04 FF09
GG02 GG15 GG35 HK01 HK02
HK03 HK04 HK06 HK09 HK16
HK21 HK33 HK34 HM18 NN03
NN04 NN22 NN23 NN24 NN72